

P-A-2000-49885

誌

- 19) 【発行国】日本国特許庁 (JP)
 12) 【公報種別】公開特許公報 (A)
 11) 【公開番号】特開2000-49885 (P2000-49885A)
 43) 【公開日】平成12年2月18日 (2000. 2. 18)
 54) 【発明の名称】将来的互換性及び機能拡張性を備えた速度適合型ソフトウェアモデム及びその操作方法
 51) 【国際特許分類第7版】

H04L 29/02
 H04J 1/00
 11/00
 H04M 11/00 302

【F I】

H04L 13/00 301 Z
 H04J 1/00
 11/00 Z
 H04M 11/00 302

【審査請求】未請求

【請求項の数】60

【出願形態】OL

【全頁数】30

- 21) 【出願番号】特願平10-197439
 22) 【出願日】平成10年7月13日 (1998. 7. 13)
 71) 【出願人】

【識別番号】598086899

【氏名又は名称】インテグレートッド テレコム エキスプレス

【住所又は居所】アメリカ合衆国・95051 カリフォルニア州、サンタ クララ、ウォルシュ アベニュー 2710

72) 【発明者】

【氏名】ヤング ウェイ リイ

【住所又は居所】アメリカ合衆国、90638 カリフォルニア州、ラ ミラダ、フォスター ロード 15661

72) 【発明者】

【氏名】ミンーカン リイ

【住所又は居所】アメリカ合衆国、95014 カリフォルニア州、クパーチノ、シルバレイド アベニュー 20375

72) 【発明者】

【氏名】スティーブ チェン

【住所又は居所】アメリカ合衆国、95132 カリフォルニア州、サン ジョセ、ウエンブレー シェイ、1855

72) 【発明者】

【氏名】ジョン ニコラス グロス

【住所又は居所】アメリカ合衆国、94062 カリフォルニア州、ウッドサイド、ビッグ ツリー ウェイ 47

74) 【代理人】

【識別番号】100071283

【弁理士】

【氏名又は名称】一色 健輔 (外2名)

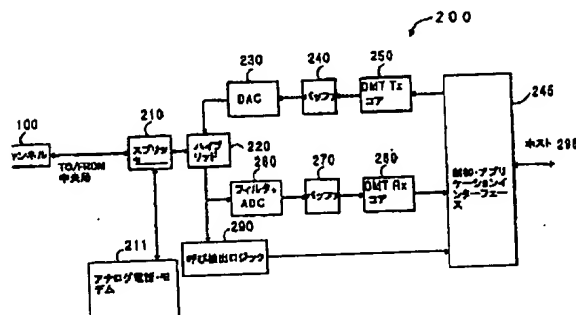
05/14/2002

要約

57) 【要約】

57) 【要約】
【課題】 高速で、ADSLに使用されるような速度適合プロトコルと完全な互換性を有し、より単純なアナログフロントエンド送受信回路で実施可能であり、コストと複雑さを減じた通信システムを提供する。

【解決手段】 データレートYで送信可能な上流側トランシーバに結合される高速通信装置のユーザに、前記通信装置の制御を可能とするためにホスト処理装置により実行されるルーチンを含む。前記ホスト処理装置内には、前記通信装置及びホストプロセッサの特性を検出する検出ルーチンと、ホストプロセッサの信号処理性能に基づいて装置において使用可能なデータレートXを決定する較正ルーチンとを有している。前記ユーザの評価に基づいて装置において使用可能なデータレートXを決定する較正ルーチンとを有している。前記上流側トランシーバが、前記通信装置にチャンネルのデータリンクを介して結合されるときに、上流側トランシーバにX以下のデータレートを用いさせる。



青求の範囲

【特許請求の範囲】

【特許請求の範囲】
 【請求項1】 データレートYで送信可能な上流側トランシーバに結合される高速通信装置のユーザによる制御を可能とするためにホスト処理装置により実行されるルーチンを含むアプリケーションプログラムであって、前記ホスト処理装置内の通信装置及びホストプロセッサの特性を検出する検出ルーチンと、ホストプロセッサの信号処理性能の評価に基づいて装置において使用可能なデータレートXを決定する較正ルーチンとを有し、前記上流側トランシーバが、前記通信装置にチャンネルのデータリンクを形成して結合されるときに、上流側トランシーバにX以下のデータレートを用いさせるアプリケーションプログラム。

【請求項2】 通信装置又はホストプロセッサが変更されているか否かを検出する検出ルーチンを有する請求項1に記載のアプリケーションプログラム。

【請求項3】 前記較正ルーチンにおいて、信号処理ルーチンを実行するために使用可能なホスト処理装置の演算性能を測定する請求項1に記載のアプリケーションプログラム。

【請求項4】 プログラムのユーザによりデータレートXの検証を可能とするユーザ承認ルーチンを有し、検証後、ユーザは当該データレートを承認又は否認する請求項1に記載のアプリケーションプログラム。

【請求項5】 新しく提案された最大データレートX'を含むプロセッサの性能特性を、処理装置のユーザの設定を可能とするユーザ設定ルーチンを有している請求項4に記載のアプリケーションプログラム。

【請求項6】 提案されたデータレートX'の実行可能性を確認する確認ルーチンを有している請求項5に記載のアプリケーションプログラム。

【請求項7】 新たに提案された最大データレート X' が実行可能でない場合、前記確認ルーチンは、ユーザによる検証のために他の提案された最大データレート X'' を含む推奨された性能特性の組を発生する請求項6に記載のアプリケーションプログラム。

【請求項8】 ADSL互換リンクとしてのデータリンク及び高速通信システムは、ADSLソフトウェアモデムである請求項1に記載のアプリケーションプログラム。

【請求項9】 フレームレートT及びデータレートYでデータ信号を送信可能な上流側トランシーバと結合される高速通信装置の制御をユーザに許容する方法であって、通信装置及び関連する信号プロセッサの特性を決定し、フレームレートT及び関連する信号プロセッサの信号処理性能の評価に基づいて、

通信装置により使用可能なデータレート X を決定し、前記上流側トランシーバは、チャンネル中のデータレートを介して通信装置に結合されている場合、データレートを X 以下に制限される方法。

【請求項10】 通信装置又は信号プロセッサが変更されているか否かを検出するステップを有する請求項9に記載の方法。

【請求項11】 ユーザの検証のためにデータレート X を提案するステップを有し、特性検証後に、ユーザが提案データレートを承認又は否認する請求項9に記載の方法。

【請求項12】 新しい提案最大データレート X' を含む通信装置の性能特性の設定を可能とするステップを有する請求項11に記載の方法。

【請求項13】 提案された最大データレートの実行可能性を確認するステップを有する請求項12に記載の方法。

【請求項14】 新たに提案された最大データレート X' が実行可能でない場合、前記確認ルーチンにより、ユーザによる検証のために他の提案された最大データレート X'' を含む推奨された性能特性の組を生成する請求項13に記載の方法。

【請求項15】 アナログ信号を用いて高速通信システムにチャンネルを介して M 個の変調されたサブチャンネルを送信可能な上流側トランシーバから N 個の変調されたサブチャンネルに含まれる選択されたデータを受信する高速通信システムであって、前記チャンネルからの前記アナログ信号に結合され、これを受信するチャンネルインターフェース回路と、エイリアス除去フィルタおよびアナログーデジタル変換器を含み、アナログ信号をサンプリングして M 以下の N 個のサブチャンネルのみのデータを含むデジタル信号に変換するアナログフロントエンド回路と、選択されたデータを N 個のサブチャンネルから復調可能とするために、ホスト処理装置に N 個のサブチャンネルを送信するバスインターフェース回路とを有する高速通信システム。

【請求項16】 復調される N 個のサブチャンネルは、フロントエンド受信回路のサンプリング性能の一部に基づくものである請求項15に記載の高速通信システム。

【請求項17】 復調される N 個のサブチャンネルは、部分的にホスト処理回路で使用可能な処理能力の一部に基づいて選択される請求項16に記載の高速通信システム。

【請求項18】 N 個のサブチャンネルの選択は、ホスト処理回路によつて使用される処理性能を決定するためにホスト処理回路によって実行される較正ルーチンによつて行われる請求項17に記載の高速通信システム。

【請求項19】 N 個のサブチャンネルは、ホスト処理装置上で実行されるアプリケーションプログラムにより、ユーザに与えられたシステムパラメータのオプションに基づいてホスト処理装置のユーザによつて決定される請求項17に記載の高速通信システム。

【請求項20】 N 個のサブチャンネルは、 M 個の使用可能なサブチャンネルのデータ搬送性能に基づいてホスト処理回路により選択される請求項15に記載の高速通信システム。

【請求項21】 選択されたデータは、追加数のサブチャンネル($N+P < M$)を復調するために、付加的第二のサブチャンネル P から得られるデータを含んでいる請求項15に記載の高速通信システム。

【請求項22】 フロントエンド受信回路は、 N 個のサブチャンネルを通過させる帯域通過フィルタと、アナログーデジタル変換器を含み、バスインターフェースは、ホストマイクロプロセッサと、マイクロプロセッサに結合されたプログラマブルメモリとメモリに記憶され、マイクロプロセッサにより実行可能な復調ルーチンとを含むホスト処理回路と結合されるように設定される請求項15に記載の高速通信システム。

【請求項23】 システムの受信データレートは、バスに結合されたホスト処理装置内のホストマイクロプロセッサの性能を制御することにより制御される請求項22に記載の高速通信システム。

【請求項24】 フロントエンド受信回路は、 M 個の使用可能なサブチャンネルからいずれの N 個のサブチャンネルを通過させるかを決定するプログラム可能な周波数応答を有している請求項21に記載の高速通信システム。

【請求項25】 上流側トランシーバに N 個のサブチャンネルのみの下流側データを送信させる制御情報を送信するフロントエンド送信回路を有している請求項15に記載の高速通信システム。

【請求項26】 上流側トランシーバに送信される制御情報は、すべての後続の下流側データの送信に關して、 N 個のサブチャンネルを除くすべての使用可能なサブチャンネルを恒久的にマスクするフィードバック情報を含んでいる請求項25に記載の高速通信システム。

【請求項27】 上流側トランシーバに送信される制御情報は、高速通信システム及び上流側トランシーバが実質的に同様の性能を有し、高速通信システムと上流側トランシーバは N 個のサブチャンネル以外のサブチャンネルの実質的信号減衰特性を持つチャンネルを介して接続されている請求項26に記載

り高速通信システム。

【請求項28】 上流側トランシーバは、M個の変調されたサブチャンネルを発生するために離散マルチトーン (DMT) 変調を用い、チャンネルが非同期デジタル加入者線路 (ADSL) の標準通話をサポートする請求項15に記載の高速通信システム。

【請求項29】 M個のサブチャンネルから別のL ($L < M$) 個の変調された第二のサブチャンネルのLを用いて上流側データの送信を行う請求項15に記載の高速通信システム。

【請求項30】 ホスト処理装置のオペレーティングシステムと帯域幅Fを用いてM個のデータ搬送信号を送信可能な上流側トランシーバに結合された高速通信装置の間をインターフェースするホストプロセッサによって実行可能なプログラムルーチンを含む装置のインターフェースであって、N ($N < M$) 個のデータ搬送信号を含む帯域幅Fの第一の周波数帯域幅部分f1からのデータを含むデジタル信号を通信装置より受信する受信ルーチンと、前記デジタル信号から選択されたデータを抽出する信号処理ルーチンと、選択されたデータの相関をとり、オペレーティングシステムに送信するデータルーティングルーチンとにより構成されるインターフェース。

【請求項31】 初期化ルーチンと、上流側トランシーバとのデータリンクをセットアップし、第一の周波数帯域部分f1のみを使用すべきことを示す制御信号を上流側トランシーバに送信する上流側データ送信ルーチンとを有している請求項30に記載のインターフェース。

【請求項32】 デジタル信号中に含まれるN個のデータ搬送信号を決定する較正ルーチンを有している請求項30に記載のインターフェース。

【請求項33】 較正ルーチンにおいて、信号処理ルーチンを実行するためのホスト処理装置における演算性能を測定する請求項32に記載のインターフェース。

【請求項34】 処理されるN個のデータ搬送信号の数は、前記ホスト処理装置の演算性能に応じて制御される請求項33に記載のインターフェース。

【請求項35】 ホスト処理装置のオペレーティングシステムと、M個の変調されたサブチャンネルを送信可能な上流側ADSLトランシーバに結合可能なADSL互換モデムとの間をインターフェースするためにホストプロセッサによって実行可能なプログラムルーチンを含むデバイスデバイダであって、N ($N < M$) 個のサブチャンネルからのデータを含むデジタル信号をADSLモデムから受信する受信ルーチンと、ホスト処理装置のユーザによって選択されたデータレートを達成するためにデジタル信号から選択されたデータを抽出する信号処理ルーチンと、選択されたデータの相関をとり、ユーザに送信するデータルーティングルーチンと、上流側トランシーバへのデータリンクをセットアップし、上流側トランシーバによって使用されるN個のサブチャンネルのみを使用すべきことを示す制御信号を上流側トランシーバに送信する上流側データ送信ルーチンとを有し、N対Mの比が0.5以下であり、当該比がホスト処理装置のユーザによりデータレートを制御するために制御されるデバイスデバイダ。

【請求項36】 信号処理ルーチンを実行するためのホスト処理装置において使用可能な演算能力を測定する較正ルーチンを有している請求項35に記載のデバイスデバイダ。

【請求項37】 追加のP ($N + P < M$) 個のサブチャンネルを含むデジタル信号を送信するために、ADSL互換モデムがアップデートされているか否かを判定する初期化ルーチンを有している請求項35に記載のデバイスデバイダ。

【請求項38】 ホスト処理装置のオペレーティングシステムとM個のサブチャンネルを含むアナログデータ信号の送信可能な上流側トランシーバに結合される高速通信システムとの間のインターフェースを動作させる方法であって、(a) M個のサブチャンネルから選択されたN ($N < M$) 個のサブチャンネルからのデータを含むデジタル信号を通信装置から受信し、(b) デジタル信号中に含まれるN個のサブチャンネルから選択されたデータを抽出し、(c) 選択されたデータの相関をとり、前記オペレーティングシステムに送信し、(d) 前記アナログデータ信号を送信するためにN個のサブチャンネル以外のサブチャンネルを上流側トランシーバが使用すべきでないことを示すフィードバック情報を発生し、送信するインターフェースの動作方法。

【請求項39】 前記ステップ(a)の前に、送信装置から受信するデジタル信号に含まれるN個のサブチャンネルを設定するステップを有する請求項38に記載の方法。

【請求項40】 前記ステップ(a)は、初期化期間に行われ、前記アナログデータ信号は、M個のサブチャンネルを使用し、ステップ(d)後に、上流側トランシーバはN個のサブチャンネルを用いてアナログデータ信号のみを送信する請求項38に記載の方法。

【請求項41】 N対Mの比は、約0.5であり、インターフェースのデータレートは、当該比を調整することにより制御可能である請求項38に記載の方法。

【請求項42】 非同期デジタル加入者線路互換データリンクをセットアップするために上流側トラ

トランシーバによって送信される非同期デジタル加入者線路に対して適用可能な標準の関連するプロトコル情報を発生するステップを有している請求項 38 に記載の方法。

【請求項 43】 高速通信システムが、 P ($N+P<M$) 個の追加のサブチャンネルを含むデジタル信号を送信するためにアップグレードされているか否かを判定するステップを有している請求項 38 に記載の方法。

【請求項 44】 帯域幅 F を持つアナログデータ送信信号をサポートするチャンネルを介してホスト処理装置及び上流側トランシーバと結合可能な高速通信システムの操作方法であって、(a) 受信データレート X を達成するために設定を行い、(b) チャンネルを介して上流側トランシーバから帯域幅 F を有するアナログ初期化信号を受信し、(c) 受信データレート X を満足するのに十分な第一の周波数帯域部分 f_1 に対応するアナログ初期化信号の一部のサンプリングに基づいてデジタル信号を発生し、(d) 第一の周波数帯域部分 f_1 内に含まれるデータ搬送信号の特性を決定するために、信号処理回路がデジタル信号を送信し、(e) 上流側トランシーバが第一の周波数帯域部分 f_1 以外の帯域を使用すべきでないことを示すフィードバック情報を発生し、(f) 上流側トランシーバから帯域幅 f_1 を有するアナログデータ送信信号を受信し、(g) アナログデータ送信信号のサンプリングに基づいてデジタル信号を発生し、(h) データ搬送信号から選択されたデータを抽出するためにホスト処理装置にデジタル信号を送信するステップを有している高速通信システムの操作方法。

【請求項 45】 デジタル信号からデータを抽出するために必要な処理量を最小化するために第一の周波数通過帯域部分 f_1 の最適サイズ及び最適位置を決定するステップを有する請求項 44 に記載の方法。

【請求項 46】 システムは、意図的に変更されたチャンネル特性情報を含むフィードバック情報を送信する請求項 44 に記載の方法。

【請求項 47】 アナログ信号送信は、 M 個の変調されたサブチャンネルで構成され、選択されたデータは、 M 個のサブチャンネルの内の N 個のサブチャンネルを含んでいる請求項 44 に記載の方法。

【請求項 48】 デジタル信号からデータを抽出するために必要な処理量を最小化するために、 N 個のサブチャンネルの最適な組を決定するステップを有している請求項 47 に記載の方法。

【請求項 49】 非同期デジタル加入者線路互換データリンクをセットアップするために上流側トランシーバによって送信される非同期デジタル加入者線路に対して適用可能な標準の関連するプロトコル情報を発生するステップを有している請求項 44 に記載の方法。

【請求項 50】 ホスト処理装置のオペレーティングシステムと M 個のサブチャンネルを含むアナログデータ信号を送信可能な上流側トランシーバに結合される高速通信装置間をインターフェースするため、ホストプロセッサによって実行されるプログラムルーチンを含むデバイスインターフェースであって、前記通信装置から M 個のサブチャンネルから選択された N ($N<M$) 個のサブチャンネルを含むデジタル信号を受信する受信ルーチンと、デジタル信号に含まれる N 個のサブチャンネルから選択されたデータを抽出する信号処理ルーチンと、選択されたデータの相関をとり、前記オペレーティングシステムに送信するデータルーチンとにより構成されるデバイスインターフェース。

【請求項 51】 上流側トランシーバへのデータリンクをセットアップする初期化ルーチンと上流側データ送信ルーチンを含み、上流側トランシーバにより N 個のサブチャンネルのみが使用されるべきことを示す上流側トランシーバに送信する制御信号を発生する請求項 50 に記載のインターフェース。

【請求項 52】 デジタル信号に含まれる N 個のサブチャンネルの決定する較正ルーチンを含む請求項 51 に記載のインターフェース。

【請求項 53】 N 対 M の比は、0.5 以下であり、処理すべき N 個のデータ搬送信号は、ホスト処理装置の演算性能を制御することにより制御可能である請求項 52 に記載のインターフェース。

【請求項 54】 較正ルーチンは、信号処理ルーチンを実行するために使用可能なホスト処理装置の演算性能を測定する請求項 52 に記載のインターフェース。

【請求項 55】 上流側データ送信ルーチンは、 L ($L<M$) 個のサブチャンネルの第二の組を用いて上流側データを送信する請求項 51 に記載のインターフェース。

【請求項 56】 初期データ送信ルーチンは、ADSL 互換リンクとしてデータリンクをセットアップし、高速通信システムとして前記オペレーティングシステムにより制御可能な ADSL モデムを設定する請求項 51 に記載のインターフェース。

【請求項 57】 初期化ルーチンは、ホスト処理装置のユーザにより入力されるデバイスパラメータに基づいて ADSL モデムを設定する請求項 56 に記載のインターフェース。

【請求項 58】 ホスト処理装置と上流側トランシーバの間でデータリンクをセットアップする必要がある場合にオペレーティングシステムを変更し、デジタル信号が処理可能状態の信号処理ルーチンを

【請求項5】 更するための割り込み処理ルーチンを有している請求項51に記載のインターフェース。

【請求項59】 上流側トランシーバは、M個の変調されたサブチャンネルを発生するために離散マルチトーン（DMT）変調を用い、チャンネルは、非同期デジタル加入者線路（ADSL）の送信プロトコルをサポートする請求項50に記載のインターフェース。

【請求項60】 初期化ルーチンは、 $P(N+P < M)$ 個の追加のサブチャンネルを含むデジタル信号を送信するためにアップグレードされているか否かを判定する請求項51に記載の方法。

詳細な説明

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、伝送路の全使用可能帯域の選択された部分のみを用いてデータリンクを形成する高速通信システムに関するもので、特に、デジタル加入者線路やこれと同等の環境においてデータを転送するために、離散マルチトーン変調（DMT）技術、キャリア振幅変調（CA）技術等の転送速度適合技術を用いるシステムに適用可能な高速通信システムに関するものである。

【発明】 本発明は、さらに、全使用可能データレートのある調整可能な部分に対するデータリンクのデータスループットを制限することにより、ハードウェアのコストを大幅に軽減し、ユーザーが使用可能な処理能力に応じて性能を直接的に制御可能なデータリンクを形成することを可能とする。これにより、本発明による高速通信システムは、機能面において将来的に完全互換性及び拡張性を備え、使用可能な伝送路帯域の十分なポテンシャルを発揮するようにユーザーがスループットを向上させることを可能とする。

【0002】

【従来の技術】 リモートアクセスやデータ及び情報の検索に対する要求は、個人的な用途ばかりではなく、産業界においても大いに高まってきている。転送されるデータ及び情報は、急激に増加し、複雑化しており、音声帯域モデム等の従来のデータリンクでは、低速すぎる。例えば、情報を検索、アクセスするためにインターネットを用いることは、日常的に増加しているが、従来の音声帯域モデムを用いた場合、一般的、画像、映像、音声及び他の複合データ形式の検索には満足な通信速度を得ることが出来ない。實際上、ダイヤルアップ用のアナログモデムの低い通信速度により、ユーザーは不満を感じており、インターネットを用いた商業活動や双方向通信においてはこの不満はますます高くなっている。要求に応じた映像の提供（Video on Demand）、テレビジョン（高品位テレビ（HDTV））、ビデオカタログ、遠隔CD-ROM、高速LANアクセス、電子図書館閲覧等の所望のサービスの提供に際しても、高速接続の欠如が障害となる。

【0003】 銅線技術の代換技術は満足のものではないので、高速アクセスの問題に対する解決方法としては、音声帯域モデムの性能向上を中心とするものとなっている。加入者側で動作する音声帯域モデムは、3kHzの音声帯域線路上における使用を前提とするものであり、コアシッチ網を介して信号を転送しており、電話会社のネットワークは、それらを全く音声信号と同様に取り扱う。これらのモデムは、僅か20年前には実際の速度は1.2kbpsであったのに関わらず、今日使用されている音声帯域モデムは、2線式電話線上で33.6kbpsの速度で通信を行う。この20年間における音声帯域モデムの改良は、アルゴリズム、デジタル信号処理、半導体技術の大幅な進歩の結果である。この種のモデムは、音声帯域幅（3.0kHz）に制限されているので、通信速度は、約30kbpsのシャノン限界に制限されている。例えば、AV.34モデムは、バンド幅1ヘルツあたり10ビットを達成しているので、通信速度の数値は、理論的シャノン限界に近づいている。

【0004】 銅線における通信においては、多数の使用可能な帯域幅がある。しかしながら、これらの多くは、音声帯域モデムにおいては使用されておらず、これが、高速プロトコル/接続の代換として、産業界において非同期デジタル加入者回線（ADSL）として知られる提案がなされた理由である。従来の電話回線長（24ゲージの撚線対）におけるデータレートにおける実際上の限界は、18000フィート（約5.490Km）接続の1.544Mbpsから1000フィート（約0.305Km）接続の51.840Mbpsまで変化する。現在の電話加入者の多くは、18000フィートの線路範囲に含まれるので、ADSLは、現在の銅線を、音声通信を維持しつつ、コンピュータビット及びデジタル情報（映画、テレビ番組等）を送信するより「大きなパイプ」として機能させる。例えば、ADSLモデムは、今日の一般的な音声帯域モデムの200倍の早さで、情報を伝達することができる。

【0005】 ADSLは、「非同期」であり、上流側（加入者から上流側）より多くのデータが下流側（加入者側）に流れる。これは、コスト、要求及び性能の組み合わせによるものである。例えば、撚線対の配線結合により信号の周波数が増加する。多数の対の同期信号がケーブル内で用いられると、結合

サイズによって、データ速度及び線路長は、大幅に制限されたものとなる。ディジタル加入者サービスに関して非同期通信の適用自体に優越性があり、非同期通信におけるビットレートは、この時点においては、重大な制限としては認識されない。従って、ADSL標準では、下流側で6Mbpsまで、上流側では、640kbpsまでの通信速度を提案している。例えば、要求に応じた映像の提供（Video on Demand）、ホームショッピング、インターネット接続、遠隔LAN接続、マルチメディア・アクセス及び専門化PCサービスのすべては、加入者側の下流側で高いデータレートを必要とする。上流側に対して必要となるデータレートは比較的低いものとなる。主要な利点は、ADSLモデムが故障した場合においても、アナログ電話網（POTS）のサービスを独立で非分散状態で保持しつづけることである。ADSLは、さらに、既存の銅線インフラストラクチャを用いた高帯域幅情報の電送に関しても経済的な解決方法となる。

【0006】

【発明が解決しようとする課題】特に、ADSLに対して提案されている標準は、使用可能な帯域幅を2つの部分に分割する。下側の4kHz帯域には、一般のアナログ電話網（POTS）が設けられる。4kHzから約1MHzまでの範囲の残りの帯域幅の大部分は、加入者との交信を規定する、下流側の160kHzの帯域が用いられる。上流側制御チャンネルには、その間の160kHzの帯域が用いられる。各チャンネルの信号は、適切な帯域通過フィルタによって抽出される。ADSLにおけるDMTは、銅製電話回線の使用可能な1MHzの全体を用いて行われる。それは、単に信号を255の分離チャンネルに分割して、各4kHz幅のチャンネルが、現時点における最良の音声帯域（33.6kbps）モデムまでのビットレートを与える。これは、同一回線において平行して使用される約200の34モデムとほぼ等しい全体的性能を発揮する。各チャンネルは、チャンネル特性による異なるビットレートに構成することが出来るので、DMTが、ビットレートに対して適合性を有し、異なる加入者機器及び回線状態に対してインターフェースするための柔軟性を有していることが、必須である。しかしながら、費用効率が高いフルスケールのADSLトランシーバを得ようと試みた場合、多くの問題が生じる。まず、既存の電話加入者回線において高いビットレートの伝送を達成するためには、進化しなくてはならない。その結果、これが現在の技術の限界により、コスト高及び高電力消費を引き起こす。例えば、モデムにおけるAFE装置は、ディジタルハードウェア/ソフトウェア処理のために、アナログ波形とディジタルサンプル間のインターフェースを提供する。ADSL等の高速モデム技術において、AFE装置は、非常に高いサンプリング速度及び高い精度での動作を必要とする。例えば、DMT技術が、1MHzのスペクトルを有し、シグマデルタアナログ-ディジタル（ADC）法を用いるのであれば、50MHz以上のサンプリングが必要となる。これは最新のADC技術を必要とし、エンベューザにおいて高コストとなる。

【0007】第二に、ADSL/DMT伝送において時間領域信号は、直交振幅変調（QAM）により変調されたキャリアの総和である。これは、主にピーク間の大きな偏差を引き起こす。この結果、高速AFEは可能であるとしても、大きなダイナミックレンジ及び高い分解能のAFEが、量子化誤差の最小化とともに必要となる。

【0008】第三に、ADSLのAFEに対する高サンプリング速度及び分解能の必要性に加えて、ADSL環境における他のハードウェア及びソフトウェアは、既存のモデムに比べて非常に高い速度で動作することが必要となる。例えば、ソフトウェアにおけるDMT技術を実施するために、MIPS（毎秒数百万インストラクション）の数百乗の特製で専用のディジタル信号処理が、エラー符号化及び復号化、スペクトル変換、時間同期等の多数の成分の処理のために必要となる。システムのAFE部分のよるために、このADSLの信号処理部に対する高速処理に対する必要性により、柔軟性が低下し、構成部材のコストが高騰する。

【0009】第四に、高速データリンクの予想されるユーザの多くは、こうした標準により与えられる使用可能な帯域幅のすべてを用いる必要はないので、ADSL等の標準の全スループットを完全に支持するための通信装置（モデム等）を必要とすることは有効ではない。従って、具体的な用途やハードウェアに対する予算等に基づいて、ユーザが制御出来るようにするためにデータのスループットを規制することが望ましい。例えば、フルスケールのADSLシステムは、従来のV.34モデムの200倍の性能レベルを持つが、インターネット接続やこれと同様の用途等の多くのコンシューマにおいては、既存のアナログモデムの10～20倍の性能向上で十分であることは明らかである。従って、14.4～56kbpsの範囲で変化する種々の速度で使用可能な従来のアナログモデムとは異なり、ユーザに拡張可能な性能レベルを与えるADSLモデムは知られていない。

【0010】第五に、上記の実施の試みに加えて、T1/E1、4 ADSL標準は、システムインターフェース及びユーザモデルを具体的に示していない。T1/E1、ATM等を支持するために種々の高レベルインターフェースを示したが、TCP/IP等の高レベルプロトコルとのシステムインテグレーション及びコンピュータのオペレーティングシステムとのインターフェースは、未だに規定されていない。この結果、既存及び将来のモデムに基づくアプリケーションが、ADSL技術とどのように作用するかは不明である。例えば、インターネットのサービスプロバイダ（ISP）とデータを交換するインターネット用アプリケーションをユーザが実行する場合、相互に承認されたプロトコルが、呼びのセッアップ及びデータの転送に必要となる。種々のレベルにおいて使用可能なプロトコルは、ATM（非同期転送モード）、TCP/IP及び現行のモデムのATコマンドを含んでいる。ADSL技術との適

きを容易とするために、これらの一つまたは新たなプロトコルを規定する必要がある。

【0011】従って、本発明の第一の目的は、高速で、ADSLに使用されるような速度適合プロトコルと完全な互換性を有しているが、より単純なアナログフロントエンド送受信回路で実施可能であり、コストと複雑さを減じた通信システムを提供することにある。

【0012】本発明の第二の目的は、高速で、ADSLに使用されるような速度適合プロトコルと完全な互換性を有しているが、より単純なデジタル信号処理回路で実施可能であり、コストと複雑さを減じた通信システムを提供することにある。

【0013】本発明の第三の目的は、高速で、演算及びハードウェアに対する要求を減少させることが出来る高速データリンクを形成するために、限られた数のサブチャンネルのデータキャリアのみの変調によって、チャンネルの使用可能な帯域幅のうちの所望の部分内のデータを転送する方法を提供することにある。

【0014】本発明の第四の目的は、フロントエンドADCに必要なダイナミックレンジを減少させ、量子化誤差を最小化するために、サブチャンネル信号のピーク間誤差の小さい通信システムを提供することにある。

【0015】本発明の第五の目的は、チャンネルの使用する全帯域幅までの転送チャンネルにおいて使用可能な全帯域幅のいかなる割合においてもシステムの動作範囲を構築できるように、容易に制御、拡張可能なデータのスループットを有する高速通信システムを提供することにある。

【0016】本発明の第六の目的は、将来的な互換性及び拡張性に柔軟性があり、システムのユーザ側より負担を最小化することが出来る高速通信システムを提供することにある。

【0017】本発明の第七の目的は、ADSLに使用される高速プロトコルに対して互換性を有し、高帯音声帯域モデムの制御に使用可能なプロトコルを含む既存の高レベルデータプロトコルのサポートに容易に適合可能なシステムを提供することにある。

【0018】本発明の第八の目的は、性能レベルをこうしたシステムにおいて使用可能な処理能力に基づいて自己校正可能である高速通信システムを提供することにある。

【0019】本発明の第九の目的は、従来のコンピュータのハードウェア、ソフトウェア及びオペレーティングシステムを用いるシステムの性能パラメータをユーザが設定出来るようにした高速通信システムを提供することにある。

【0020】本発明の第十の目的は、ホストシステムと将来的に互換性及び拡張性機能を有する高速通信システム間のインターフェースを提供することにある。

【0021】本発明の第十一の目的は、POTSチャンネル上の従来の音声データのトラヒックの同時制御及び分離されたサブチャンネル上の上流側/下流側の通信を可能とするシステムを提供することにある。

【0022】
【課題を解決するための手段】上記及び上記以外の目的を達成するために、本発明の第一の構成によれば、データレートYで送信可能な上流側トランシーバに結合される高速通信装置のユーザによる制御を可能とするためにホスト処理装置により実行されるルーチンを含むアプリケーションプログラムであって、前記ホスト処理装置内の通信装置及びホストプロセッサの特性を検出する検出ルーチンと、ホストプロセッサの信号処理性能の評価に基づいて装置において使用可能なデータレートXを決定する校正ルーチンとを有し、前記上流側トランシーバが、前記通信装置にチャンネルのデータリンクを介して結合されるときに、上流側トランシーバにX以下のデータレートを用いさせるアプリケーションプログラムが提供される。

【0023】上記本発明の第一の構成において、通信装置又はホストプロセッサが変更されているか否かを検出する検出ルーチンを有することが望ましい。前記校正ルーチンにおいて、信号処理ルーチンを実行するために使用可能なホスト処理装置の演算性能を測定することが望ましい。プログラムのユーザ

によりデータレートXの検証を可能とするユーザ承認ルーチンを有しており、検証後、ユーザは当該データレートを承認又は否認することが望ましい。新しく提案された最大データレートX'を含むプロセッサの性能特性を、処理装置のユーザの設定を可能とするユーザ設定ルーチンを有していることが望ましい。提案されたデータレートX'の実行可能性を確認する確認ルーチンを有していることが望ましい。新たに提案された最大データレートX'が実行可能でない場合、前記確認ルーチンは、ユーザにより検証のために他の提案された最大データレートX''を含む推奨された性能特性の組を発生することが望ましい。ADSL互換リンクとしてのデータリンク及び高速通信システムは、ADSLソフトウェアシステムであることが望ましい。

【0024】本発明の第二の構成によれば、フレームレートT及びデータレートYでデータ信号を送信可能な上流側トランシーバと結合される高速通信装置の制御をユーザに許容する方法であって、通信装置及び関連する信号プロセッサの特性を決定し、フレームレートT及び関連する信号プロセッサの信号率Xを決定し、前記上流側トランシーバの性能の評価に基づいて、通信装置により使用可能なデータレートXを決定し、前記上流側トランシーバは、チャンネル中のデータリンクを介して通信装置に結合されている場合、データレートをX以下に制限する方法が提供される。

【0025】通信装置又は信号プロセッサが変更されているか否かを検出するステップを有することが望ましい。ユーザの検証のためにデータレート X を提案するステップを有し、特性検証後に、ユーザが提案データレートを承認又は否認することが望ましい。新しい提案最大データレート X' を含む通信装置の性能特性の設定を可能とするステップを有することが望ましい。提案された最大データレートの実行可能性を確認するステップを有することが望ましい。新たに提案された最大データレート X' が実行可能でない場合、前記確認ルーチンは、ユーザによる検証のために他の提案された最大データレートを含む推奨された性能特性の組を発生することが望ましい。

【0026】本発明の第三の構成によれば、アナログ信号を用いて高速通信システムにチャンネルを介してM個の変調されたサブチャンネルを送信可能な上流側トランシーバからN個の変調されたサブチャンネルに含まれる選択されたデータを受信する高速通信システムであって、前記チャンネルからの前記アナログ信号に結合され、これを受信するチャンネルインターフェース回路と、エイリアス除去フィルタおよびアナログ-ディジタル変換器を含み、アナログ信号をサンプリングしてM以下のN個のサブチャンネルのみのデータを含むディジタル信号に変換するアナログフロントエンド回路と、選択されたデータをN個のサブチャンネルから復調可能とするために、ホスト処理装置にN個のサブチャンネルを送信するバスインターフェース回路とを有する高速通信システムを提供することにある。

【0027】復調されるN個のサブチャンネルは、フロントエンド受信回路のサンプリング性能の一部に基づくものであることが望ましい。復調されるN個のサブチャンネルは、部分的にホスト処理回路で実行可能な処理能力の一部に基づいて選択されることが望ましい。N個のサブチャンネルの選択は、ホスト処理回路によつて使用される処理性能を決定するためにホスト処理回路によって実行される較正ルーティンによって行われることが望ましい。N個のサブチャンネルは、ホスト処理装置上で実行されるアプリケーションプログラムにより、ユーザに与えられたシステムパラメータのオプションに基づいてホスト処理装置のユーザによって決定されることが望ましい。N個のサブチャンネルは、M個の使用可能なサブチャンネルのデータ搬送性能に基づいてホスト処理回路により選択されることが望ましい。選択されたデータは、追加数のサブチャンネル ($N+P < M$) を復調するために、付加的第二のサブチャンネルPから得られるデータを含んでいることが望ましい。フロントエンド受信回路は、N個のサブチャンネルを通して帯域通過フィルタと、アナログーデジタル変換器を含み、バスインターフェースにより、ホストマイクロプロセッサと、マイクロプロセッサに結合されたプログラマブルメモリとメモリに記憶され、マイクロプロセッサにより実行可能な復調ルーチンを含むホスト処理回路と結合されるように設定されることが望ましい。システムの受信データレートは、バスに結合されたホスト処理装置内においてホストマイクロプロセッサの性能を制御することにより制御されることが望ましい。フロントエンド受信回路は、M個の使用可能なサブチャンネルからいずれのN個のサブチャンネルを通してかを決めるプログラム可能な周波数応答を有していることが望ましい。上流側トランシーバにN個のサブチャンネルのみの下流側データを送信させる制御情報を送信するフロントエンド送信回路を有していることが望ましい。上流側トランシーバに送信される制御情報は、すべての後続の下流側データの送信に関して、N個のサブチャンネルを除くすべての使用可能なサブチャンネルを恒久的にマスクするフィードバック情報を含んでいることが望ましい。上流側トランシーバに送信される制御情報は、高速通信システム及び上流側トランシーバが実質的に同様の性能を有し、高速通信システムと上流側トランシーバはN個のサブチャンネル以外のサブチャンネルの実質的信号減衰特性を持つチャンネルを介して接続されていることが望ましい。上流側トランシーバは、M個の変調されたサブチャンネルを発生するために離

05/14/2002

々マルチトーン (DMT) 変調を用い、チャンネルが非同期デジタル加入者線路 (ADSL) の標準電話をサポートすることが望ましい。M個のサブチャンネルから別のL ($L < M$) 個の変調された第二のサブチャンネルの組を用いて上流側データの送信を行うことが望ましい。

【0028】本発明の第四の構成によれば、ホスト処理装置のオペレーティングシステムと帯域幅Fを用いてM個のデータ搬送信号を送信可能な上流側トランシーバに結合された高速通信装置の間をインターフェースするホストプロセッサによって実行可能なプログラムルーチンを含む装置のインターフェースであって、N ($N < M$) 個のデータ搬送信号を含む帯域幅Fの第一の周波数帯域部分f1からのデータを含むデジタル信号を通信装置より受信する受信ルーチンと、前記デジタル信号から選択されたデータを抽出する信号処理ルーチンと、選択されたデータの相関をとり、オペレーティングシステムで送信するデータルーティングルーチンとにより構成されるインターフェースを提供することにある。

【0029】初期化ルーチンと、上流側トランシーバとのデータリンクをセットアップし、第一の周波数帯域部分f1のみを使用すべきことを示す制御信号を上流側トランシーバに送信する上流側データ送信ルーチンとを有していることが望ましい。デジタル信号中に含まれるN個のデータ搬送信号を決定する較正ルーチンを有していることが望ましい。較正ルーチンにおいて、信号処理ルーチンを実行するためのホスト処理装置における演算性能を測定することが望ましい。処理されるN個のデータ搬送信号の数は、前記ホスト処理装置の演算性能に応じて制御されることが望ましい。

【0030】本発明の第五の構成によれば、ホスト処理装置のオペレーティングシステムと、M個の変調されたサブチャンネルを送信可能な上流側ADSLトランシーバに結合可能なADSL互換モデムとの間をインターフェースするためにホストプロセッサによって実行可能なプログラムルーチンを含むデバイスデバイダであって、N ($N < M$) 個のサブチャンネルからのデータを含むデジタル信号をADSLモデムから受信する受信ルーチンと、ホスト処理装置のユーザによって選択されたデータレートを作成するためにデジタル信号から選択されたデータを抽出する信号処理ルーチンと、選択されたデータの相関をとり、ユーザに送信するデータルーティングルーチンと、上流側トランシーバへのデータリンクをセットアップし、上流側トランシーバによって使用されるN個のサブチャンネルのみを使用すべきことを示す制御信号を上流側トランシーバに送信する上流側データ送信ルーチンとを有し、N対Mの比が0.5以下であり、当該比がホスト処理装置のユーザによりデータレートを制御するために制御されるデバイスデバイダを提供することにある。

【0031】信号処理ルーチンを実行するためのホスト処理装置において使用可能な演算能力を測定する較正ルーチンを有していることが望ましい。追加のP ($N + P < M$) 個のサブチャンネルを含むデジタル信号を送信するために、ADSL互換モデムがアップデートされているか否かを判定する初期化ルーチンを有していることが望ましい。

【0032】本発明の第六の構成によれば、ホスト処理装置のオペレーティングシステムとM個のサブチャンネルを含むアナログデータ信号の送信可能な上流側トランシーバに結合される高速通信システムとの間のインターフェースを動作させる方法であって、(a) M個のサブチャンネルから選択されたN ($N < M$) 個のサブチャンネルからのデータを含むデジタル信号を通信装置から受信し、(b) デジタル信号中に含まれるN個のサブチャンネルから選択されたデータを抽出し、(c) 選択されたデータの相関をとり、前記オペレーティングシステムに送信し、(d) 前記アナログデータ信号を送信するためにN個のサブチャンネル以外のサブチャンネルを上流側トランシーバが使用すべきでないことを示すフィードバック情報を発生し、送信するインターフェースの動作方法を提供することにある。

【0033】前記ステップ(a)の前に、送信装置から受信するデジタル信号に含まれるN個のサブチャンネルを設定するステップを有することが望ましい。前記ステップ(a)は、初期化期間に行われ、前記アナログデータ信号は、M個のサブチャンネルを使用し、ステップ(d)後に、上流側トランシーバはN個のサブチャンネルを用いてアナログデータ信号のみを送信することが望ましい。N対Mの比は、約0.5であり、インターフェースのデータレートは、当該比を調整することにより制御可能であることが望ましい。非同期デジタル加入者線路互換データリンクをセットアップするために上流側トランシーバによって送信される非同期デジタル加入者線路に対して適用可能な標準の関連するプロトコル情報を発生するステップを有していることが望ましい。高速通信システムが、P ($N + P < M$) 個の追加のサブチャンネルを含むデジタル信号を送信するためにアップグレードされているか否かを判定するステップを有していることが望ましい。

【0034】本発明の第七の構成によれば、帯域幅Fを持つアナログデータ送信信号をサポートするチャンネルを介してホスト処理装置及び上流側トランシーバと結合可能な高速通信システムの操作方法であって、(a) 受信データレートXを達成するために設定を行い、(b) チャンネルを介して上流側トランシーバから帯域幅Fを有するアナログ初期化信号を受信し、(c) 受信データレートXを満足する

に十分な第一の周波数帯域部分 f_1 に対応するアナログ初期化信号の一部のサンプリングに基づいてデジタル信号を発生し、(d) 第一の周波数帯域部分 f_1 内に含まれるデータ搬送信号の特性を決定するために、信号処理回路にデジタル信号を送信し、(e) 上流側トランシーバが第一の周波数帯域部分 f_1 以外の帯域を使用すべきでないことを示すフィードバック情報を発生し、(f) 上流側トランシーバから帯域幅 f_1 を有するアナログデータ送信信号を受信し、(g) アナログデータ送信信号のサンプリングに基づいてデジタル信号を発生し、(h) データ搬送信号から選択されたデータを抽出するためにホスト処理装置にデジタル信号を送信するステップを有している高速通信システムの操作方法が提供される。

【0035】デジタル信号からデータを抽出するために必要な処理量を最小化するために第一の周波数通過帯域部分 f_1 の最適サイズ及び最適位置を決定するステップを有することが望ましい。システムは、意図的に変更されたチャンネル特性情報を含むフィードバック情報を送信することが望ましい。アナログ信号送信は、M個の変調されたサブチャンネルで構成され、選択されたデータは、M個のサブチャンネルの内のN個のサブチャンネルを含んでいることが望ましい。デジタル信号からデータを抽出するために必要な処理量を最小化するために、N個のサブチャンネルの最適な組を決定するステップを有していることが望ましい。非同期デジタル加入者線路互換データリンクをセットアップするために上流側トランシーバによって送信される非同期デジタル加入者線路に対して適用可能な標準の関連するプロトコル情報を発生するステップを有していることが望ましい。

【0036】本発明の第八の構成によれば、ホスト処理装置のオペレーティングシステムとM個のサブチャンネルを含むアナログデータ信号を送信可能な上流側トランシーバに結合される高速通信装置間をインターフェースするために、ホストプロセッサによって実行されるプログラムルーチンを含むデバイスインターフェースであって、前記通信装置からM個のサブチャンネルから選択されたN ($N < M$) 個のサブチャンネルを含むデジタル信号を受信する受信ルーチンと、デジタル信号に含まれるN個のサブチャンネルから選択されたデータを抽出する信号処理ルーチンと、選択されたデータの相関をとるルーチンと、前記オペレーティングシステムに送信するデータルーチンとにより構成されるデバイスインターフェースを提供することにある。

【0037】上流側トランシーバへのデータリンクをセットアップする初期化ルーチンと上流側データ送信ルーチンを含み、上流側トランシーバによりN個のサブチャンネルのみが使用されるべきことを示す上流側トランシーバに送信する制御信号を発生することが望ましい。デジタル信号に含まれるN個のサブチャンネルの決定する較正ルーチンを含むことが望ましい。N対Mの比は、0.5以下であり、処理すべきN個のデータ搬送信号は、ホスト処理装置の演算性能を制御することにより制御可能であることが望ましい。較正ルーチンは、信号処理ルーチンを実行するために使用可能なホスト処理装置の演算性能を測定することが望ましい。上流側データ送信ルーチンは、L ($L < M$) 個のサブチャンネルの組を用いて上流側データを送信することが望ましい。初期データ送信ルーチンは、ADSL互換リンクとしてデータリンクをセットアップし、高速通信システムとして前記オペレーティングシステムにより制御可能なADSLモデムを設定することが望ましい。初期化ルーチンは、ホスト処理装置のユーザにより入力されるデバイスパラメータに応じてADSLモデムを設定することが望ましい。ホスト処理装置と上流側トランシーバの間でデータリンクをセットアップする必要がある場合にオペレーティングシステムを変更し、デジタル信号が処理可能状態の信号処理ルーチンを変更するための割り込み処理ルーチンを有していることが望ましい。上流側トランシーバは、M個の変調されたサブチャンネルを発生するために離散マルチトーン (DMT) 変調を用い、チャンネルは、非同期デジタル加入者線路 (ADSL) の送信プロトコルをサポートすることが望ましい。初期化ルーチンは、P ($N + P < M$) 個の追加のサブチャンネルを含むデジタル信号を送信するためにアップグレードされているか否かを判定することが望ましい。

【0038】本発明の他の目的、特徴、利点は、添付の図面を参照して説明する以下の詳細な説明より明白となるであろう。

【0039】

【発明の実施の形態】以下の説明において、いくつかの概念はすでに周知であるが、本発明の理解を容易とするために、ADSL技術に関して、図1ないし図7を参照しながら説明する。上記に説明したように、ADSL規格を達成するためにDMTを使用することは、周知である。一つのキャリアを用いるAM/FM送信等の多くの変調技術とは異なり、DMTにおいては、データビットの送信に複数のキャリアが用いられる。特に、T1E1.4 ADSL規格は、中央局から加入者への下り送信 (downstream transmission) のための255チャンネルまでのチャンネルを規定し、加入者から中央局への上り送信 (upstream transmission) のための31チャンネルまでのチャンネルを規定している。図1に示すよう

05/14/2002

二、各キャリアの帯域幅は、4. 3125 kHzである。全255チャンネルのための全帯域幅は、1 MHzである。上り方向（加入者から中央局の方向）において、約69 kHzの範囲の「パイロット」トーンは、タイミングの同期保持のために用いられる。同様に、276 kHz付近のパイロットトーンが、下り方向（中央局から加入者の方向）に送信される。

【0040】上り送信及び下り送信は、同一の二本のより線上で送信されるため、これらは、エコーキャンセラ（EC）もしくは周波数分割多重（FDM）により分離する必要がある。エコーキャンセラ（EC）もしくは周波数分割多重（FDM）により分離する必要がある。一方、FDMは、両方向への同時送信を可能とするが、複雑なエコーキャンセル動作を必要とする。図1に示すように、上り送信と下り送信を分離するために、二つの異なる周波数帯域を用いる。図1に示すように、上り送信には、チャンネル番号6ないし31のサブチャンネルが用いられ、下り送信には、チャンネル番号41ないし255のサブチャンネルが用いられる。以下においては、FDMを用いたシステムについて説明するが、本発明は、エコーキャンセラを用いても構成することが可能である。

【0041】多くの通信環境と同様に、ADSLにおける上り送信及び下り送信の双方のための送信ビットレートは、固定されないが、チャンネルの品質に応じて決定される。本発明において、初期データリンクをセットアップするために、多くの周知の技術を用いることが出来る。一般に、これらの技術は、以下のように作用する。初期化処理中においては、チャンネル品質が測定され、あるデータレート（一般的には、ビット数）が各DMTサブチャンネルに割り当てられる。ついで、「ハンドシェイク」処理が、ビットのロード（bit loading）（及びエネルギーレベル）を動的かつ適合的に変化させるために用いられる。変化がチャンネル特性全体にわたって生じる可能性があり、目標ビットレートの変更が必要となる場合があるため、ハンドシェイク処理が、しばしば必要となり、またサブチャンネルの一つ劣化が生じるので、サブチャンネル中の新規なビットの分散が必要となる。

【0042】サブチャンネル応答の品質は、受信信号のS/N比（SNR）によって測定することが出来る。シャノンの法則より、送信可能な単位Hz当たりのビット数の上限は、 $\log_2(1 + \text{SNR})$ である。従って、受信側において受信信号のSNRを測定することによって、各サブチャンネルの変調

に割り当てられたビット数を検出することが出来る。この結果、システムによって達成される全データスループットは、単にすべての使用可能なサブチャンネルの全データレートの和となる。

【0043】T1E1. 4 ADSL規格によれば、データビットはグループ化され、250 μsec 毎に処理される。この時間フレームにわたって処理可能なビット数は前回のチャンネル応答の測定結果から各サブチャンネルに割り当てられたビットの和である。あるサブチャンネルに割り当てられた所定のビット数に関して、直交振幅変調（QAM）が、ビットを、対応する周波数においてサブチャンネルキャリアによって変調される複素数値に変換するために使用される。

【0044】上記は、一般的DMT/ADSL通信システムの一般的な動作の概略を示している。従来よりADSLシステムにおいて使用される一般的回路、サブチャンネルのためにビット/エネルギーのロード処理の仕様、ビットの微調整処理及びサブチャンネルの変調の詳細は周知であり、本発明の技術に従って、構成または手順が変更されていない限り、詳細に説明しない。

【0045】一般的従来技術によるADSL規格のトランシーバの下りの全データスループットは、従来のアナログモデム技術の200倍以上の速度である6 Mbpsに近づいている。この要求は、ADSLの最初の動機の一部は、マルチメディア通信及びテレビ会議を行うことであった。ともかく、潜在的ユーザの大多数は、このように広い帯域幅容量は望んでいないか、もしくは必要としていない。例えば、こうしたリンクを主にインターネット接続に使用しようとするユーザを含むADSL（または、同様の高速回線）の多くの潜在ユーザは、毎秒数百キロバイト程度の下り送信速度を必要としているのみである。このデータレートは、ADSLの使用可能な帯域幅の一部のみを使用すれば達成される。ADSL規格の使用可能な帯域幅の一部のみを処理することによって、本発明は、過去に可能であったもの比べて、大幅に安価で、単純化されて、制限されているが、非常に有用なADSLモデムの構成を可能としている。同時に、本発明はモジュラ特性を有しているので、本発明の実施によりユーザは、これらのシステム全体の機能の将来的及び上位への拡張が可能となる。

【0046】本発明のこの特徴のうらにある原理は、以下の通りである。図2に示すように、チャンネル中の送信は、ナイキスト標本理論に従って、エイリアス除去フィルタ80によってより小さな帯域幅に制限されている。アナログ/デジタル変換を行うAFE装置（ADC81等の）サンプリングレートを、大幅に減少させることが出来る。特に、全下り帯域幅は、いくつかの部分の合計のBヘルツ（ADSL環境のDMTの用いる好適実施例において、 $B = 20 \text{ DMTチャンネル}$ または約86 kHz）に制限される。ナイキスト理論によるサンプリングレートは、約180 kHzに制限される。全ADSLを実施する場合200のDMTチャンネルもしくは900 kHzを処理する全ADSL帯域幅を

用いた方法とは異なり、これは、大幅に単純化され、性能要求が減少されたADCによって達成可能である。本発明を用いるADSL通信システムの全蓄積ビットレートは、以下のように計算される。全サブチャンネル数が k （使用可能な合計 M のサブチャンネル中）がサポートされ、各チャンネルが送信に b_i ビットが割り当てられていたとすると、全蓄積ビットレート（ R ）は、 $R = (\sum_{i=1,k} b_i)$

であり、ここで、 4 kHz は、 $T1E1.4$ ADSL規格によって規定されたフレーミングレートである。 $k=20$ チャンネル及びチャンネル当たりの平均ビット数は6である。全ビットレート（ R ）は、約480キロボット/秒である。ADSL帯域幅の部分的な使用は、従来のアナログの56キロボット/秒のディジタルモデムの約9倍の性能を発揮する。

【0047】本発明のこの方法の利点は、明らかである。高速通信システムの全性能及びコストは、特定のユーザの特定のニーズに直接関係して評価され、制御される。一般に、本発明の具体的な実施によってサポート可能なデータレート（及び相対的なコスト）は、（1）AFEの容量及び（2）DMTを実行するためのハードウェアの容量の二つの因子により決定される。

【0048】AFEの容量は、一般に達成可能な最大サンプリング速度によって測定される。上記に説明したように、サンプリング速度は、得られる周波数帯域 B （ kHz ）も上限によって決定される。規定されたADSLの4.3125 kHz 毎のチャンネル分割により、サポート可能なサブチャンネルの総数は、 $B/4.3125$ 以下となる。従って、特定のユーザにおける特定のデータレート及びコストに関する要求に基づいて、ADCが選択される。

【0049】サブチャンネルの数を制限する他の因子は、DMTの変調ルーチン及び復調ルーチンのために使用可能な処理性能である。例えば、種々の性能レベル（達成可能なデータレート）は、図8を参照して以下により詳細に説明するディジタル信号処理装置等の周知の専用信号処理ハードウェアによって達成される。また、図9に示すように、こうしたルーチンが主にホストCPUによって実行されるソフトウェアにより実施される場合、所用の処理性能（MIPS）は、一般に処理を必要とするサブチャンネルの数の関数として、直接的に増加する。これは、一般に、ほとんどの処理は、シリアルに実行され、もしくはチャンネル毎に行われるからである。以下のより詳細に説明するように、本発明は、サポート可能な全サブチャンネルの上限を設定するためのユーザのコンピュータシステムの使用可能な全処理性能を予測するための「校正」ルーチンが使用される。

【0050】特定のAFEの選択または使用される信号処理技術と無関係に、本発明の他の（必須ではないが）有用な構成は、通過帯域内の最大の S/N 比（SNR）を持つサブチャンネルが、データ送信のために選択される。換言すれば、本発明の好適実施例において、最大ビット数をサポートする通過帯域内の k 個のサブチャンネルが、処理に使用される。図3に示すように、例えば、標準二線式加入者線内の k 個のサブチャンネルが、処理に使用される。図3から、ADSLは、一般に、より高い周波数において大きな減衰を示すSNR曲線を有している。図3から、ADSL中の下り送信に200を越えるサブチャンネルを有しているが、最大データレートの50%のデータレートは、サブチャンネルのより小さな割合（50%より大幅に小さい割合）のみを用いることによって達成される。この事実は、以下に説明するように、共用/多チャンネル帯域幅の実施例を考慮すると有用である。

【0051】従って、本発明は、上位に対して互換性を有し、将来的な拡張性を有しているが、チャンネルの最良部分の使用を可能とする高速データ通信システムの実施を可能とする。これらの条件によって、以下に示すように構成されたシステムは、完全に実施されるバージョンのADSL DMTモデムと完全に互換である。さらに、特定のチャンネル及びデータリンクプロトコルの適当な変更は、当業者によって可能である。上位に対する互換性及び将来的拡張性とは、本発明によって構成されたシステムが、既存の規格との互換性を保持しながら、容易にアップグレード可能であることを示している。例えば、より狭い帯域幅の望んでいる下位のエンドユーザは、最小限のコストで満足のゆく性能を達成することができ、後日に、AFE及び信号処理ソフトウェア/ハードウェア（好ましくはモジュール）をアップグレードすることによって、システムの性能レベルをアップグレードすることができる。

【0052】本発明により構成されたシステムは、以下の二つの構成により、全ADSL規格に対して完全な互換性を有している。 $T1E1.4$ ADSL規格によって特定された速度適合性によって、各サブチャンネルのビットレートは、最初に（かつ好ましくは現状に応じて動的に）サブチャンネルのSNRの分析によって決定される。特に、ADSLの下流側受信機は、送信品質を上流側のADSL送信機に通知することが出来る。また、受信機は、各サブチャンネルに関して、ビットレートを決定することが出来る。従って、本発明を用いる下流側の、部分的なチャンネル帯域幅は、（受信機の手速度及び通過帯域に基づいて）選択されたサブチャンネルのみにより送信を行うための情報または制御信号を標準ADSL送信機に供給することが出来る。特に、好適実施例において、上流側ADSL送信機には、通

帯域外のサブチャネルの、これらのサブチャネルが使用可能ではないことを示唆するように意図的に設定されたSNR情報が与えられる。この方法は、送信機側で完全に検知可能であり、この技術によって構築されたシステムは、ADSL規格に対して完全な互換性を有している。現時点においてADSL規格内においては不可能であるが、他の高速データプロトコルが、情報を送信するサブチャネルの同一性の制限及び制御する代わりに、制御信号を用いることが可能である。

【0053】技術が、AFE装置及びDMTを改良するので、本発明を用いるシステムによってサポートされるサブチャネルの数を増加することが出来る。この結果、こうしたシステムは、単一のよりハイレベルのモジュラの代わりのAFE装置または多数の下位モジュラのAFE装置を用いて標準T1E1.4 ADSLにアップグレードすることが可能である。

【0054】本発明の基本的な構造が、図8において概略して示されている。一般に、本発明は、ハードウェアとソフトウェアの異なる組み合わせで構成することができる。これらの実施例の違いは、DMTコアの具体的な実施である。これらの好適実施例について、図9および10を参照してさらに詳細に以下に説明する。

【0055】ADSL送信器の構造および操作は、公知のものであり、このため、本発明の理解のために必要であるこのような送信器のそれらについて、最初に詳細に説明する。図8において明らかなように、チャンネル100は、通常の銅線「ループ」で形成されており、このループはそれぞれ、異なる電気的性質と、電送長さ（サイズ）と、変化する減衰特性と、多数の欠陥または干渉を有している可能性がある。従来の公知の回路であるスプリッタ210は、200以上のサブチャネルを占有するDMT信号を下端の4キロヘルツPOTSアナログ信号から分離する。後者は、同時音声または一般的なアナログモデムのために使用することができる。また、ハイブリッド回路220は、公知のものであり、主として、標準の電話線への仲立ちをする多種多様の高速装置に使用される一般的な変換器と絶縁回路で構成されている。また、リング検出論理回路290は、コントロールインタフェース295に（図示していない）上流側の送信器から出る送信信号の存在を報知するために、一般に認められた方法を使用して実施可能である。

【0056】全帯域幅信号は、通過帯域フィルタおよびA/D変換器280を通過すると、その通過帯域幅が、低域か、または、適した公知な方法により周波数幅Bに限定され、周波数領域のわずかの信号のみが、バッファ270とDMT受信器コア260へ伝えられる。サブバンドフィルタ280に関して重要なことは、アナログ/デジタル（A/D）変換器のサンプリング速度が2Bで、入力信号の帯域幅をBにしなければならないことだけである。これは、公知のフィルタ設計を使用することにより達成することができる。フィルタおよびA/D変換器280に適した回路を選択することにより、装置全体のコストおよび性能をそれに応じて見積もることができる。好適実施例において、フィルタおよびA/D変換280を通過した信号は、略200キロヘルツと400キロヘルツ間のスペクトラムを占有している。この選択は、主として、従来の二線式線路の予測された平均的な性能に基づいている。異なる通過帯域幅および通過帯域が、他種のデータリンク、または他種の多重キャリア変調方式にとって、より適しているか、または最適なものであることは、当業者にとって明らかなことであろう。

【0057】さらに、幾つかの例において、実施するのに幾分より高価なものであるが、通過帯域の目標周波数がそれぞれの新しいデータリンクに比類なく調整できるように、順応性のある、または整調できるフィルタを代用することができる。この場合には、通過帯域は、プロトコルまたは他のシステム上りオーバーヘッドのためにサポートされなければならないサブチャネルを含む、最も高く達成できるS/N比を有するサブチャネルと一致するように構成することができる。また、幾つかの用途において、A/D変換は、デジタル信号プロセッサ、またはホストコンピュータによって行われる構成とすることができ、サンプリング速度を動的に制御して、通過帯域の目標周波数および周波数幅に一致させることができる。

【0058】さらに、好適実施例において、ADSLのために多重キャリア方式を使用して、276キロヘルツのパイロットトーンを通過帯域内で許容しなければならない。他のプロトコルは、同様のパイロットトーンを必要とする可能性があり、フィルタおよびA/D変換器280の機能性を達成するのに匹敵するフィルタの設計は、当業者において公知なものであることは明らかである。

【0059】一般に、DMT受信器コア260は、フィルタおよびA/D変換器280により通過される周波数範囲内に入るサブチャネルのS/N比を監視して測定し、オリジナルデータストリームを多数のサブキャリアから抽出する。好適実施例において、コントロールインタフェース295は、ホスト298からシステム構成情報を受信する。この情報は、目標処理能力速度Rと、目標誤り率と、フィルタおよびA/D変換器280用の目標中心周波数Fと、目標周波数幅B等のパラメータを含んでいる可能性がある。DMT受信器コア260により演算されるサブチャネルのS/N比およびビット容量を

P-A-2000-49885

決定し、目標探知回数Rを考慮することにより、コントロールインタフェース295は、全体の使用可能な数Mのサブチャンネル以下のkの数のサブチャンネルを選択して、(図示しない)上流側の受信器からデータストリームを搬送することができる。データを運ぶために使用することができるサブチャンネルの数は、上述したように、通過帯域の周波数Bに直接関連している。好適実施例において、 $M=200+(ADSL)$ であり、コントロールインタフェース295は、通常、 $k=20$ に設定されている。

【0060】選択されたkのサブチャンネル以外のあらゆるサブチャンネルに対して、「マスク」または「ブラックアウトコントロール」/フィードバック信号が生成されて、DMT送信コア250と、バッファ240と、D/A交換器230により、上流側の送信器へ送信される。これにより、上流側の送信器は、データ送信も、選択されたkのサブチャンネルを使用するだけである。従って、上流側の送信器の送信容量とは関係なく、チャンネル100がkサブチャンネル以上をサポートできる間、このフィードバック情報が提供される。このように、本発明の装置は、上流側の送信器により感知され、上流側の送信器の送信容量および性能特性と互換性がある。なぜならば、上流側の送信器が、kサブチャンネル外のデータ信号に対して実質的な信号減衰特性を有するチャンネルを介して、二つの装置が接続されることを単に示すフィードバック情報を受信するからである。ADSL標準の適合性と、他の同様のプロトコルに基づいて、上流側の送信器は、下流側の送信器により予め定められたkサブチャンネルのみを使用するようにそれ自体に自動的に設定される。なお、フロントエンドの送信回路のD/A交換器230およびバッファ240は、下流側のデータ送信とは異なる第二の周波数帯域幅を使用する、いかなる上流側のデータ送信も伝達することが好ましい。しかしながら、反響を去る装置においては、これは必要ではない。さらに、ADSL用途において、この帯域幅のサイズは、かなりより小さなものであり、Lサブチャンネルのみを使用している。ここで、 $L < M$ である。他のADSL用途においては、Lは同位であるか、またはMよりも大きい可能性がある。

【0061】さらに、ADSL標準器は、データ誤り率を 10^{-7} としているが、本発明による他の用途により、誤り率が減少される可能性があると考えられる。例えば、最大限のデータ処理能力が必要とされる（すなわち、マージンの制約がより少ない）場合には、B内の最も大きいビット容量を選択することができる。もう一つの方法として、装置が誤り率を重視して動作し、より緩やかな処理能力を必要とする場合には、最適なマージンを有する20のサブチャンネルが選択される。応用から応用へ変わる可能性がある特定のシステム要求に基づいて、当業者は、サブチャンネルの適した組み合わせを選択することができる。さらに、コントロールインタフェース295は、チャンネル100に送信されるデータタイプにより、望ましいサブチャンネル構成を動的に最適化する可能性がある。例えば、オーディオ、ビデオまたは画像グラフィックスを流す場合には、ホスト298で進行するnの応用プログラムにより使用される他の種類のデータよりも、少ない一体性および誤り率が必要である可能性がある。コントロールインタフェース295により使用される構造と、動作と、技術の仕様は、本発明のいかなる必要条件にも制約されるものではなく、当業者に公知の様々な方法で実施されることができる。図2に図示した残りの回路の動作は、比較的簡単なものであり、従来の多重キャリア

【0062】また、図8に図示した変調装置とは異なるものである。

【0062】また、図8に図示した成りの構成は、A変調装置とは異なるものである。

【0063】コントロールインタフェース295により、DMT送信コア250は、選択されたホストの処理能力速度／誤り率の組み合わせを達成するのに必要である、それらのサブキャリアに対してのみビットおよびエネルギーをロードする。フィルタおよびA/D変換器280のために使用される回路に對しては、D/A変換器230の機能を実施する回路が、プログラム化できる形状で実施されてより大きな可塑性が可能となる。

【0064】最後に、ADSLのプロトコルにおいて現在サポートはされていないが、それにもかかわ
ず、サブチャンネルまたは下流側の送信周波数を適当な初期接続手順または同様の手順を介してつく
ることができる場合には、幾つかの用途において、ブロック280のフィルタを全く省略することがで
る。換言すれば、チャンネルにおいて使用可能な帯域幅の一部分のみを使用して送信するように、上
流側の受信器を構成することができる場合には、本発明の利点をさらに実現することができる。なぜな
らば、全体域による送信のために必要となるよりも、非常に遅いサンプリング速度で処理が行われるた
め、ブロック280のA/D変換器部分をさらに比較的複雑ではなくすることができからである。さら
に、これにより、DMT処理コアにおいて同じ釣り合いを保持し、量子化誤差を減少させることができ
る。

【0065】本発明による幾つかの特有の特徴は、下記のとおりである。

【0066】(i) 完全なT1E1. 4 ADSL標準器を実施するハードウェア構造とは異なり、本発明は、フロントエンドにフィルタを使用している。上述したように、このフィルタの使用により、A/

05/14/200

交換器により低速サンプリングが可能となる。上流側および下流側の送信器間の適した初期接続手順が達成されて、下流側への送信を減少させることができる場合には、フィルタを省略することができる。

【0067】(ii) 標準的なリング検出ロジックが、存在するモデム特性をサポートするために組み込まれている。

【0068】(iii) DMT受信器コア260は、基本的にT1E1.4により特定されたのと同じ方法を遂行するが、特に下記の幾つかの重要な相違点を有している。

[a] サブバンド波および低速サンプリングにより、DMT受信器コアにおける(図示しない)高速フーリエ交換(FFT)の出力での周波数チャンネルは、周波数偏移を有している。
[b] 全ての256のサブチャンネルが、必ずしもDMT受信器コア260によりサポートされている。これは限らないため、実際の高速フーリエ交換(FFT)域をより小さく、より簡単に、費用効果をより高くすることができる。

【0069】(iv) コントロールインタフェース295により、装置は、実質的に従来のアナログモデムのように作動することができ、ダイアリングおよび初期接続手順等の必要なセットアップ作業をサポートするために使用される。

【0070】(v) 下流側のチャンネルからの限定された帯域幅を使用することにより、反響消去回路の必要性が減少する。なぜならば、上流側の送信と下流側の送信間のオーバーラップ量がより少なくなることにより、これによりさらに装置の複雑さおよびコストが減少されるためである。

【0071】(vi) スペクトラムのより小さな部分が、本発明により処理されるため、下流側の信号のピーク・ピーク偏移が減少され、これにより量子化誤差が最小限に抑えられる。

【0072】(専用ハードウェアによる実施例) 図9において、一般に専用ハードウェアによる実施として説明することが可能な、本発明による実施例が示されている。図9の説明のために、同様の参照符号を有する回路は、図8の対照物と同じものであるか/または図8の対照物と同様の機能を実行することとする。例えば、別な方法で表示されていない場合には、スプリッタ210(図8)とスプリッタ310(図9)との間には、重要な相違はない。

【0073】本実施例において、DMTサブチャンネル変調コアは、専用処理ハードウェアにおいて完全に実現されている。この用途のために、従来、DMT受信器コア260は、(図示しない)デジタル信号プロセッサ(DSP)を有しており、サブチャンネルにおけるキャリアのビットと、エネルギー、S/N比の測定を行う実行可能なマイクロコードルーチンを記憶する、内蔵プログラムロム(ROM)(または他のメモリ)を有している。この実施例において、DSPの能力により、通常は、ユーザのホストプロセッサ装置398による処理の分担は必要としない。従って、この実施例は、ホストプロセッサの能力が制限される場合に、有利に用いられることができる。

【0074】図9に示した装置のユーザは、DMT受信器コア260とともに必要に応じてフィルタおよびA/D交換器280をアップグレードすることにより、この装置の機能性(すなわち、データ処理能力速度およびモデム要素)を広げることができる。図9の装置を一般的なプリント回路基板上に組み込むことができる。アクセス可能な状態で、このようなブロックにおいて使用される回路を取り付けまたは集積することにより、パーソナルコンピュータのユーザが、ダイナミックメモリ(DRAM)を増設するためにマザーボードをアップグレードできるのと同じ方法で、回路を交換または補うことができる。例えば、一つの変形例は、複数の使用できるスロットを有しており、DMTコアロジックにより処理される下流側の送信の大部分を通過させる新規の通過帯域通過フィルタに対応することができる。このようなアプローチの他の実用的で簡単な変形は、当業者にとって明らかなものであろう。

【0075】(部分的なソフトによる実施例) 上述した専用ハードウェアによる実施例において、全体速度(データ処理能力)を最大限にすることができるが、アップグレードのための可撓性はより少なくなる。これは、この装置のアップグレードは、ユーザが組み込むにはより費用がかかりより困難となる。一方、図10に示したように、通信装置、ハードウェア交換の形をとらなければならないためである。一方、図10に示したように、通信装置の多数の重要な機能は、ソフトウェアにおいて、一般に「ソフトウェア」モデムとして技術において行われているものと同様の方法で完全に実施することができる。この場合は、装置の全体の速度は、ホストプロセッサ装置398で使用するユーザのプロセッサの能力によって決まり、AFE部分のみがハードウェアにおいて実施される必要がある。

【0076】図9と図10の実施例の重要な違いは、以下の、(1) DMT変調の実施、(2) 制御および初期接続手順機能の実施、(3) コントロールインタフェースの実施である。図10において明らかに、DMT受信器コア460およびDMT送信器コア450は、ホストプロセッサ装置398によるデータポンプデバイスドライバにおいて実施される。好適実施例において、ホストプロセッサ装

図398は、(マイクロソフト(Microsoft)社によるウィンドウズ(Windows)等)に適したオペレーティングシステムを実行する、幾つかの形状の(x86型プロセッサ等の)多目的マイクロプロセッサを有しており、DMT変調(図11)用の適した低レベルドライバとともにコントロール/アプリケーションインタフェース500(図12)を実施する高レベルのアプリケーションソフトウェアを実行することができる。ホストプロセッサ装置398は、標準のバス・インタフェース385(すなわち、プログラマブル通信インタフェース(PCI)バス)を越えて、高速モデムを実施するフロントエンド回路396に通信する。一般的なアナログモデムにおける回路と同様に、本発明によるこの回路は、PCマザーボード上に効果的に組み込むことができ(すなわち、バス・インタフェース385およびフロントエンド回路396を組み合わせることができ、実質的にホストプロセッサ装置398の一部となる)、または別体のプリント回路基板上に、または物理的にホストプロセッサ装置398とは別体の独立型ユニットとして、効果的に組み込まれることができる。このアプローチにより、本発明の処理能力は付与されないが、図8の純粋なハードウェアによるアプローチよりも費用がかからず、アップグレードがより容易となる有利点を有している。

【0077】一般的なPC上で動作するウィンドウズを使用する図9、図10の「ソフトウェア」モデルの実施例において、DMT送信器コア450と、DMT受信器コア460と、制御/初期接続手順ロジックは、ウィンドウズデータポンプのデバイスドライバ400として実施され、DMTルーチンと、関連された制御および初期接続手順コードと、オペレーションシステム480のカーネルへのインタフェースで構成されている。

【0078】ホストプロセッサ装置398の一部分のさらに詳細な特徴が、図11に示されており、コンピュータオペレーティングシステムシェル480のために構成されるデバイスドライバ400の好適な実施例が図示されている。本実施例において、マイクロソフトウィンドウズNT(登録商標)が考慮に入れられているが、ユニックス(UNIX)や、ウィンドウズ95(登録商標)等を含む、他の互換性環境を使用することもできる。公知のように、オペレーティングシステム480は、ホストプロセッサ装置398と、全ての付属する周辺装置の動作の管理および制御を行う。また、オペレーティングシステム480は、様々な対話制御およびグラフィックアプリケーションインタフェース(図12)を有しており、ホストプロセッサ装置398のユーザは、様々なアプリケーションプログラムを動作させることができ、ディスクドライブや、プリンタや、モニタや、モデム等の周辺装置のセットアップと、制御と、構成と、モニタを行い、その利用が可能となる。

【0079】また、オペレーティングシステム480が、このような周辺装置と相互に作用して制御するのを助けるために、実質的にホストプロセッサ装置により実行される低レベルハードウェアルーチンである、デバイスドライバを使用することは公知なことである。デバイスドライバは、ホストプロセッサ装置に指図し、コンピュータ装置内の特定の装置を駆動するのに必要な全てのコードを有する、メモリイメージファイルまたは実行形式ファイルである。デバイスドライバ400は、オペレーティングシステム480(本出願の場合は、マイクロソフトウィンドウズNT)とハードウェア396間のインタフェースとして作動する。例えば、この場合には、デバイスドライバ400は、一般的なプリント回路基板(または外部デバイス)によって実施されるハードウェア396をサポートする(図10を参照)。従って、ハードウェア396と組み合わせて「ソフトウェア」モデムとして動作する新しいデバイスドライバについて説明する。この方法において、オペレーティングシステム480は、この組み合わせをADSLモデムとして、または換言すれば、従来の音声帯域モデムと同様の他の一般的なパーソナルコンピュータ周辺装置として分類している。

【0080】一般的に言えば、デバイスドライバ400は、下記のように機能する。データの送信/受信を行うリモートサイトのデータリンクを形成することを望むホストプロセッサ装置398のユーザは、アプリケーションプログラムを介してリンクを開始する(図12)。オペレーティングシステム480(図11)は、デバイスドライバ400にこのタスクの制御を渡すことにより、この要求を解釈して実行し、まずデバイスイニシャライゼーション440へ適当な命令を発生する。好適実施例において、モデムカード396は、従来の音声帯域モデム制御指令を使用するバスインタフェース410を介して初期化されるため、本発明は、オペレーティングシステム480を使用するモデムを制御するために書き込まれる、前から存在するアプリケーションプログラムと互換性がある。従って、同様に、制御およびデータ信号は、オペレーティングシステム480により解釈されて、シリアルポートインタフェース475に送信されるため、従来のモデムダイヤル命令および初期接続手順信号がモデムカード398に与えられ、チャンネル100を介して上流側の従来の(図示しない)ADSL送信器のリンクを形成することができる。上述したように、適した初期接続手順プロトコルが完了された後に、上流側の完全な互換性があるADSL送信器は、全ての使用できるMのサブチャンネルにデータを送信し始める。

この下流側データは、フィルタおよびA/D交換器380により波され、この時に、Nサブチャンネル(N<=M)のみに関する情報が一時的にバッファ370に保持される。これと同時にまたはこれより前に、割り込みがバスインタフェース385により発生され、デバイスドライババスインタフェース411を通過して、処理を必要とする下流側のデータの存在に対して、割り込みサービスルーチン415に警告を出す。その後、DMT受信器コア460は、割り込みサービスルーチン(IRS)415からの情報の制御に応じて、下流側のデータの流れを処理し始める。デマルチプレクサ465は、データをシリアルポートインタフェース470へ通過させてオペレーティングシステム480に戻す前に、様々なサブチャンネルのデータを抽出して相関をとる。この方法において、デバイスドライバ400は、モデムカード396と調和して動き、性能がホストプロセッサ装置内に内蔵されたプロセッサの演算能力に直接相互に関連する、ソフトウェアモデムを達成することができる。

【0081】上述したように、デバイスドライバ400はまた、初期化プロセス時に上流側の送信器を選択されるべきサブチャンネルを設定することに関する制御情報を有している。また、上述したように、この制御情報は、ホストプロセッサ装置398のユーザによって自ら決定されるか、またはもう一つの方法として、校正ルーチンにおいて決定されるホストプロセッサ装置の演算パフォーマンスレイティングに基づいて、このホストプロセッサ装置により自動的に感知されて監視されることができる。いかなる場合においても、初期化プロセス時に(およびそれ以降の)上流側の送信器は、後続のデータ送信のためにこのサブチャンネルを使用するように誘導される。これは、ドライバ選択のサブチャンネルのKを除く全てに対してゼロとして上流側の送信器により解釈される、S/N比情報を送信することにより達成される。このデータは、モデムカード396とチャンネル100に送信される前に、オペレーティングシステム480の制御のもとに、シリアルポート475と、フレーミング制御455と、DMT送信器コア450を介して通過される。

【0082】無論、ADSLモデムカード396はまた、データリンクを初期化するためにリモートモデムからの要求に応答することができる。それでもやはり、リンクを初期化のプロセスは、本質的に前述したものと同一のものである。また、デバイスドライバ400は、一般的なダイヤルアップモデム動作をサポートするコントロールロジックと、オリジネイト/アンサーモード(Originate/Answer Mode)をセットアップし、コールプログレスをモニターし、モデムの診断を行い、受信/発信バッファサイズを構成し、ファクシミリ送信をサポートし、誤り制御を強制的に行い、データ圧縮およびモデムカード396とオペレーティングシステム480間のフロー制御を行う等の、声帯帯域モデムにおいて一般的に実施されている従来のモデムアプリケーションプログラムからの制御コードを有することができる。デバイスまた、デバイスドライバ400は、一般的なイーサネット・ネットワーク接続および他の専用アプリケーションにおいて見られるように、要求に応じて他の従来の「常時」接続のデータリンクをサポートすることができる。

【0083】本発明について説明すると、上述のデータポンプのデバイスドライバ400の一般的な設計は、十分に当業者の能力の範囲内にあるルーチンタスクである。この実施例の特性は、本発明にとつて重大または必須のものではなく、システム設計者の要求により、アプリケーションからアプリケーションに変わるため、ここではその特性については言及しない。また、本発明のこの実施例は、PCベースのホストプロセッサ上で動作するウィンドウズについて説明されているが、上述した説明は単なる好適実施例にすぎないことは当業者にとって明らかであろう。引用したDMTルーチンと、連関された制御手順コードは、多数のホストプロセッサ装置/オペレーティングシステム環境、および初期接続手順コードは、様々な異なる符号化方式(高レベルまたは低レベルの処理方法)において使用可能である。

【0084】標準的なPC上で動作するウィンドウズを使用して実施される好適実施例において、コントロール/アプリケーションインタフェース500は、標準のモデム効用関数と、データポンプのデバイスドライバ400とのインタフェースが設けられているウィン32のコードを有している。図12において、コントロール/アプリケーションインタフェース500の動作のフローチャートが示されており、このインタフェースについてはさらに詳細に後述する。

【0085】図10の実施例のもう一つの特に有利な構成は、最適または最大データ処理能力速度を決定するために使用することができる、自己決定「性能」または校正格付けが設けられていることである。換言すれば、図10の装置は、ホストプロセッサ装置398を、使用できる演算能力の評価に基づいた特定の処理能力速度に自動的にかつ適応可能に構成することができる。好適実施例において、パフォーマンスレイティングは、データポンプのデバイスドライバ400により実施される校正ルーチンに基づいて決定される。このルーチンには、タイマがセットされ、所定時間内に幾つのDMTフレームを処

里することができるかがカウントされる。これにより、該当の特定のホストプロセッサ装置の利点を相対数値で示す。加えられる各サブチャンネルに対して、一つのDMTフレームは、250 μ sのわずかな時間内で処理される必要がある。従って、サブチャンネルのカウントを漸進的に増加させることにより、全体の装置の処理オーバーヘッドにおける全体の効果を決定することができる。コントロール/アプリケーションインタフェース500は、ユーザにより、高速度リンクを実施するために使用できるホストプロセッサ装置の能力のしきい値を設定するように制御される。（見掛け20%に設定することができ）使用できる能力のこのしきい値に基づいて、サポートすることができるサブチャンネルの数を非常に速く探り出すことができる。

【0086】現在の技術から見て、DMT処理がソフトウェアにおいて実施される場合には、ホスト処理能力は、図2のサブバンドフィルタ80の周波数帯域よりもより限定要因となる傾向が強い。それにもかかわらず、ホストプロセッサ装置（および特にマイクロプロセッサ）は、性能においてかなり速い速度で発展しているため、本発明により、ユーザに、制御可能な性能を有しており、ホストプロセッサ装置においてアップグレード版があるときにはいつでも改良される、高速度のデータリンクを理解させる機会を提供することができる。多くの一般的な今日のパーソナルコンピュータ装置は、容易にアクセス可能であり入れ替え可能なホストプロセッサを有しているため、本発明のユーザは、ADSLモデムの処理能力および機能性を容易にかつ融通良く拡張して向上させることができる。

【0087】本発明の教示に従って設計された、ADSLモデムのコントロール/アプリケーションインタフェース500用のフローチャートの実施例が、図12において示されている。上述した説明により、ホストプロセッサ装置398のユーザは、これまでは音声帯域モデムのみに使用できたものと同様によりモデム・コントロールアプリケーションソフトウェアを使用して、ADSL等の将来的互換性および拡張性があるモデムをはじめて動的に制御することができる。好適実施例において、ADSLモデムカード396は、オペレーティングシステム480により自動的に検出され、デバイスドライバ400による初期化ルーチン505によりセットアップされる。別体の検出ルーチン510は、ADSLモデムカード396が、（図13について後述するような）付加的なAFEでアップグレードされるか否か、あるいは、ホストプロセッサ装置において使用されるプロセッサを代えるか否かを決定する。この工程の目的はまず、演算能力と、フロントエンド性能(front end capabilities)または、コミュニケーションモードにおいて使用される場合に、全体の装置のデータ処理能力特性の変更を必要とする他のパラメータにおける変更のために、デバイスパラメータテーブル560の中のエントリをアップデートする必要があるか否かを決定することにある。

【0088】それから、校正ルーチン520が実施され、上述した方法で装置全体のための見掛けセットアップパラメータを決定する。この動作からの演算結果は、デバイスパラメータテーブル560に記憶され、それからここで、この演算結果は、ADSLモデムカード396およびデバイスドライバ400を使用することができる様々なアプリケーションプログラムにアクセス可能となる。デバイスパラメータテーブル560に記憶される情報は、下記のいずれかまたは全てのものを有することができる。（a）ホストプロセッサ装置に使用できる演算能力の測定、（b）特定時間内でホストプロセッサ装置によりアクセス可能なフレームの数の測定、（c）他のアプリケーションプログラムおよび周辺装置の要求に基づいたホストプロセッサ装置における予測ローディングの見積もり、（d）最小および最大のデータ処理能力の見積もりおよび／またはターゲット、（e）ホストプロセッサ装置のタイプを識別するデータ、（f）ADSLモデムカード396におけるAFEの数およびタイプを識別するデータ、（g）データリンクのために使用できる見積もりおよび／またはターゲットシステムの荷重速度（すなわち、データ送信中にホストプロセッサ装置により使用される最大有効処理時間）、（h）データ送信および受信のバッファサイズ、（i）モデムカード用の割り込みまたは同様の優先データ、（j）見積もりおよび／またはターゲットシステムのサブチャンネルの利用、（k）見積もりおよび／またはターゲットシステムのサブチャンネルのビット容量情報等。上述したものは、高速通信システムの性能に関連する情報の型の例であり、他のパラメータは、本発明が使用される環境と、用途等によって決まると考えられることは、当業者にとって明らかなことであろう。

【0089】自動校正ルーチン520を実施した後に、ステップ525で承認のためにユーザに同じものの結果が表示される。この時点で、ユーザは、ステップ526で所定のコンフィギュレーションデータ（すなわち、提案された最大および最小の処理能力速度と、荷重速度等のコンフィギュレーションデータ）を受け入れることができるか、さもなければ、モデムセットアップルーチン590の終了ステップに進むことになる。ユーザが推奨されたパラメータを受け入れたくない場合には、マニュアルコンフィギュレーションルーチン530が実施される。この場合に、可変性のシステムオプション532のリストとともに再検討するために、様々なシステム性能データをユーザに示すことができる。例えば、ユー

が、所定の処理能力速度を増大させることを選択する場合には、確認ルーチン540は、この速度が位置の他のパラメータ内で適度に維持できるか否かを決定するために実施される。新しく提案されたコンフィギュレーションデータが、承認可能な場合には、デバイスパラメータテーブル560が更新され、セットアップルーチンが再び終わる。さもなければ、ユーザは、通知/提案ルーチン550により警告される。通知/提案ルーチン550は、提案されたコンフィギュレーションの不履行を指摘し、可能ならば、システムオプション532を変更するためにユーザに提案して、ホストプロセッサ装置の性能内で、全ての承諾が達成されることができるとする。それから、プログラムは、受け入れルーチン525に引き渡され、その後、許容範囲にあるコンフィギュレーションが達成されるまでプロセスが繰り返され、いかなる変更もデバイスパラメータテーブル560内に組み込まれる。

【0090】上述の動作ステップの幾つかは、単にオペレーティングシステム480と、デバイスドライバ400により実施されるように説明されているが、このような動作は、コントロール/アプリケーションインタフェース500の指揮で、または幾つかの場合にはホストプロセッサ装置により実施される初期化ルーチンに基づいて生じる。さらに、本発明の説明を簡単にするために、実施することができるとする幾つかの特性のみを説明し、一般にセットアップまたはモジュラモデムと連関された多くの他の公知の動作ステップは省略する。上述したデータポンプのデバイスドライバ400の設計と同様に、上述した機能を実装するために必要とされるコントロール/アプリケーションインタフェース500の一般的な設計は、十分に当業者の能力の範囲内にあるルーチンタスクである。このような実施例の特性は、本発明にとって重大または必須のものではなく、システム設計者の要求により、アプリケーションからアプリケーションに変わるため、ここではその特性については言及しない。また、本発明のこの実施例は、ベースのホストプロセッサ上で動作するウィンドウズについて説明されているが、上述した説明は単なる好適実施例にすぎないことは当業者にとっては明らかであろう。引用されたコントロール/アプリケーションインタフェースは、多数のホストプロセッサ装置/オペレーティングシステム環境、および技術において公知である様々な異なる符号化方式（高レベルまたは低レベルの処理方法）において使用可能である。

【0091】（多AFEおよび低サンプリング速度の実施例）図13において、ユーザが、参照符号630Aと、680Bと、680C等で示される、低価格の低速サンプリングの複数のAFEを使用することにより、データ処理能力をかなり増大させることができる、本発明の実施例が示されている。上述したように、これらのAFEは、別体のモジュラ形状であり、バンク形状で形成されることができるとするため、プリント回路基板上に都合良く組み込み（または、同様の実装）が可能であるか、または一つのICチップに一体化されることができるとする。それぞれのAFEは、固定されたハードウェア構成において実施されるか、または、個々にプログラム/制御されて下流側のデータ送信のある一部分を通過することができるとする。適した処理能力が、（図9および図10に関して上述したように、専用実施例またはソフトウェア実施例を介して）DMT変調/復調のために使用できるとすれば、この装置のユーザは、選択した性能特性およびコストを有するアップグレードにより、拡張された機能性を実質的に達成することができるとする。

【0092】（ADSL/DMT用途のための本発明の根本的な理論）次に、本発明の仮定をサポートする根本的な理論について説明する。特に、ここでは、完全な帯域幅のADSL/DMT信号をサンプリングするために、複数の低速AFEを使用する数学的な基礎が示されている。本発明が、ADSLのCAP実施例を含む多数の速度適合性（rate adaptable）通信環境において、有利に使用することができることは、この説明を読んだ後に当業者にとって明らかとなるであろう。

【0093】（DMT送信器）本発明の説明を簡単にするために、図4および図5に示すように、DMT送信器のサブセットのみが考慮に入れられている。チャンネル応答およびDMT受信器を有する組み合わされたモデムが下記に示されており、簡単にするために通過帯域の波およびサンプリングの一つのブランチのみが示されている。さらに簡単にするために、チャンネル応答およびSFRはともに組み合わされている。

【0094】このサブセクションにおいて、一つの通過帯域の波処理を終えた信号を分析する。通過帯域内のDMT信号を、インパルス応答短縮技術と同じものを用いて回復させることができることが結果として示されている。異なる周波数帯域を補う複数のAFEを用いて、全てのDMTサブチャンネルを回復させることができる。

【0095】（IFFT）図4に示すようなADSL環境において、 N ($N=512$) の周波数ドメイン変数は、IFFTブロック60により時間領域に変えられる。

【数1】

$$x_n = \sum_{i=0}^{N-1} x_n e^{j2\pi i n / N}$$

【0096】（周期的なプレフィックス）図4においてブロック70で示すように、最後のc時間領域【数2】が、連続のプレフィックスに加えられる。

$$\{z_n\} = \{z_{-c}, z_{-c+1}, \dots, z_{-1}, z_0, z_1, \dots, z_{N-1}\}$$

$$= \{y_{N-c}, \dots, y_{N-1}, y_0, \dots, y_{N-1}\}$$

【0097】（AFE/DAC）離散時間領域の列は、AFE75により下記のような連続した時間領域波形に変換され、【数2】

$$(t) = \sum_{n=-\infty}^{\infty} z_n p_{TX}(t - nT_c)$$

ここで、 $p_{TX}(t)$ は、使用されるAFE/DACの送信器パルスであり、 T_c は、送信器DACクロック周期であり、DMT・ADSL仕様により【数3】

$$T_c = \frac{250 \mu\text{sec}}{N+c}$$

と等しい。

【0098】（チャンネル）次に、図5について説明すると、チャンネルインパルス応答が、 h_c

(t)である時、【数4】

$$(t) = \sum_{n=-\infty}^{\infty} z_n p_{RX}(t - nT_c)$$

であり、ここで、【数5】

$$p_{RX}(t) = p_{TX}(t) \otimes h_c(t)$$

である。

【0099】（通過帯域波）通過帯域フィルタ80が、 $h_{BPF}(t)$ のインパルス応答特性を有している時、【数6】

$$(t) = \sum_{n=-\infty}^{\infty} z_n p_{BPF}(t - nT_c)$$

であり、ここで、【数7】

$$p_{BPF}(t) = p_{RX}(t) \otimes h_{BPF}(t)$$

である。

【0100】（AFE/ADC）サンプリングクロックを $T_s = T_c \times L$ とすると、これは、AFE81のための因子Lによるサンプリング速度が低いことを示している。従って、【数8】

$$x_k = \sum_{n=-\infty}^{\infty} z_n p_{BPF}(kT_s - nT_c) = \sum_{n=-\infty}^{\infty} z_n p_{BPF}((kL - n)T_c)$$

である。

【0101】因果パルス $p_{BPF}(t)$ に関しては、【数9】

$$x_k = \sum_{n=-\infty}^{\infty} z_n p_{BPF}((kL - n)T_c) = \sum_{n=0}^{\infty} z_{kL-n} p_{BPF}(nT_c)$$

である。

【0102】（短縮FIR）（SFIR）

AFE離散時間サンプリングの後、SFIR82と呼ばれる時間領域イコライザ（TEQ）は、組み合わせられた離散時間のインパルス応答をcよりも小さな時間まで減少させるために使用される。SFIR応答が、 $h_{SFIR}[n]$ である時、【数10】

$$\begin{aligned}
 &= \sum_{i=0}^{\infty} w_{k-i} h_{SFIR}[i] \\
 &= \sum_{i=0}^{\infty} \left[\sum_{n=-\infty}^{\infty} z_n p_{BPF}([kL-n-iL]T_c) \right] h_{SFIR}[i] \\
 &= \sum_{n=-\infty}^{\infty} z_n h_{tot}[kL-n] \\
 &= \sum_{n=0}^{\infty} z_{kL-n} h_{tot}[n]
 \end{aligned}$$

あり、ここで、【数11】

$$h_{tot}[kL-n] = \sum_{i=0}^{\infty} h_{SFIR}[i] p_{BPF}([kL-n-iL]T_c)$$

ある。

【0103】 ($h_{tot}[n]$ の物理的意味) $h_{tot}[n]$ に関してブロック84で離散フーリエ変換を行う時、 $H_{tot}[\omega] = H_{SFIR}[L\omega] H_{BPF}[\omega]$ であり、ここで、 $H_{SFIR}[L\omega]$ および $H_{BPF}[\omega]$ はそれぞれ、周期 $1/(LT_c)$ および $1/T_c$ を有するDFTである。それらのスペクトラムは、図6において図示するように $L=5$ の場合が示されている。

【0104】 (周期的なプレフィックスの降下) 長さ c/L の周期的なプレフィックスを降下させることにより、ブロック83で、 $s_k = r_k$, $k=0, \dots, N_1-1$ だけを考慮し、ここで、 $N_1 = N/L$ である。

【0105】 (FFT) s_k , $k=0, \dots, (N/L)-1$ でブロック84でFFTを実施し、

【数12】

$$\begin{aligned}
 s_n &= \sum_{l=0}^{N_1-1} s_l e^{-j2\pi nl/N_1} \\
 &= \sum_{k=0}^{N_1-1} r_k e^{-j2\pi nk/N_1} \\
 &= \sum_{k=0}^{N_1-1} \left(\sum_{i=0}^{\infty} z_{kL-i} h_{tot}[i] \right) e^{-j2\pi nk/N_1} \\
 &= \sum_{k=0}^{N_1-1} \sum_{i=0}^{\infty} z_{kL-i} h_{tot}[i] e^{-j2\pi n(kL-i)/N_1} e^{-j2\pi ni/N_1} \\
 &= \sum_{i=0}^{\infty} \sum_{k=0}^{N_1-1} z_{kL-i} e^{-j2\pi n(kL-i)/N_1} h_{tot}[i] e^{-j2\pi ni/N_1} \\
 &= \sum_{i=0}^c \sum_{k=0}^{N_1-1} z_{kL-i} e^{-j2\pi n(kL-i)/N_1} h_{tot}[i] e^{-j2\pi ni/N_1} \\
 &= \sum_{i=0}^c \sum_{k=0}^{N_1-1} y_{kL-i} e^{-j2\pi n(kL-i)/N_1} h_{tot}[i] e^{-j2\pi ni/N_1}
 \end{aligned}$$

が得られ、ここで、 $h_{tot}[i]$ を $i=0, \dots, c$ に関してゼロ以外のみであると仮定する。所定の i に対して、 $l' = [i/L]$ と定義する。それから、 $i' = l' L - i$ と定義する。ここで、 $i' = 0, \dots, L-1$ である。従って、 $i' = l' L - i'$ である。

【0106】 上述の定義から、【数13】

$$\begin{aligned}
\sum_{i=0}^{L-1} y_{kL-i} e^{-j2\pi(kL-i)/N_1} &= \sum_{k=0}^{L-1} y_{kL-i} e^{-j2\pi(kL-i)/N_1} + \sum_{k=L'}^{N_1-1} y_{kL-i} e^{-j2\pi(kL-i)/N_1} \\
&= \sum_{k=0}^{L-1} y_{(k-L')L+i} e^{-j2\pi((k-L')L+i)/N_1} + \sum_{k=L'}^{N_1-1} y_{(k-L')L+i} e^{-j2\pi((k-L')L+i)/N_1} \\
&= \sum_{k=0}^{L-1} y_{(k-L'+N_1)L+i} e^{-j2\pi((k-L'+N_1)L+i)/N_1} + \sum_{k=L'}^{N_1-1-L'} y_{kL+i} e^{-j2\pi(kL+i)/N_1} \\
&= \sum_{k=N_1-L'}^{N_1-1} y_{kL+i} e^{-j2\pi(kL+i)/N_1} + \sum_{k=0}^{N_1-1-L'} y_{kL+i} e^{-j2\pi(kL+i)/N_1} \\
&= \sum_{k=0}^{N_1-1} y_{kL+i} e^{-j2\pi(kL+i)/N_1}
\end{aligned}$$

∴あり、従って、【数14】

$$\begin{aligned}
n &= \sum_{i=0}^c \sum_{k=0}^{N_1-1} y_{kL-i} e^{-j2\pi n(kL-i)/N_1} h_{tot}[i] e^{-j2\pi ni/N_1} \\
&= \sum_{i=0}^c \left[\sum_{k=0}^{N_1-1} y_{kL+i} e^{-j2\pi n(kL+i)/N_1} \right] h_{tot}[i] e^{-j2\pi ni/N_1} \\
&= \sum_{i=0}^c \left[\sum_{k=0}^{N_1-1} \left(\sum_{l=0}^{N-1} x_l e^{j2\pi(kL+i)l/N} \right) e^{-j2\pi n(kL+i)/N_1} \right] h_{tot}[i] e^{-j2\pi ni/N_1} \\
&= \sum_{i=0}^c \left[\sum_{k=0}^{N_1-1} \sum_{l=0}^{N-1} x_l e^{j2\pi(kL+i)(l-n)/N} \right] h_{tot}[i] e^{-j2\pi ni/N_1} \\
&= \sum_{i=0}^c \left[\sum_{l=0}^{N-1} x_l \sum_{k=0}^{N_1-1} e^{j2\pi(kL+i)(l-n)/N} \right] h_{tot}[i] e^{-j2\pi ni/N_1}
\end{aligned}$$

∴ある。

【0107】

【数15】

$$\sum_{i=0}^{L-1} e^{j2\pi(kL+i)(l-n)/N} = 0$$

∴あるので、 $(l-n) = mN_1$ でない時、【数16】

$$n = N_1 \sum_{i=0}^c \left[\sum_{m=0}^{L-1} x_{mN_1+n} e^{j2\pi m/L} \right] h_{tot}[i] e^{-j2\pi ni/N_1}$$

∴ある。

【0108】 $i < 0$ および $i > c$ に関して、 $h_{tot}[i]$ は、ゼロであるため、【数17】

$$\begin{aligned}
n &= N_1 \sum_{i=0}^c \left[\sum_{m=0}^{L-1} x_{mN_1+n} e^{j2\pi i'm/L} \right] h_{tot}[i] e^{-j2\pi ni/N_1} \\
&= N_1 \sum_{i=-\infty}^{\infty} \left[\sum_{m=0}^{L-1} x_{mN_1+n} e^{j2\pi i'm/L} \right] h_{tot}[i] e^{-j2\pi ni/N_1} \\
&= N_1 \sum_{l=-\infty}^{\infty} \sum_{i'=0}^{L-1} \left[\sum_{m=0}^{L-1} x_{mN_1+n} e^{j2\pi i'm/L} \right] h_{tot}[lL-i'] e^{-j2\pi n(lL-i')/N} \\
&= N_1 \sum_{m=0}^{L-1} x_{mN_1+n} \sum_{i'=0}^{L-1} e^{j2\pi i'm/L} \sum_{l=-\infty}^{\infty} h_{tot}[lL-i'] e^{-j2\pi n(lL-i')/N}
\end{aligned}$$

である。

【0109】

【数18】

$$\begin{aligned}
\sum_{i=-\infty}^{\infty} h_{tot}[lL-i'] e^{-j2\pi n(lL-i')/N} &= \sum_{l=-\infty}^{\infty} h_{tot}[lL-i'] e^{-j\omega(lL-i')T_c} \Big|_{\omega=2\pi n/NT_c} \\
&= F \left\{ h_{tot}(t) \sum_l \delta(t - [lL-i']T_c) \right\} \Big|_{\omega=2\pi n/NT_c} \\
&= \frac{1}{2\pi} \mathbf{H}_{tot}(\omega) \otimes \left[\frac{2\pi}{LT_c} \sum_l \delta(\omega - \frac{2\pi l}{LT_c}) e^{j2\pi l i'/L} \right] \Big|_{\omega=2\pi n/NT_c} \\
&= \frac{1}{LT_c} \sum_l \mathbf{H}_{tot}(\frac{2\pi n}{NT_c} - \frac{2\pi l}{LT_c}) e^{j2\pi l i'/L}
\end{aligned}$$

であるため、【数19】

$$\begin{aligned}
n &= N_1 \sum_{m=0}^{L-1} x_{mN_1+n} \sum_{i'=0}^{L-1} e^{j2\pi i'm/L} \sum_{l=-\infty}^{\infty} h_{tot}[lL-i'] e^{-j2\pi n(lL-i')/N} \\
&= N_1 \sum_{m=0}^{L-1} x_{mN_1+n} \sum_{i'=0}^{L-1} e^{j2\pi i'm/L} \frac{1}{LT_c} \sum_l \mathbf{H}_{tot}(\frac{2\pi n}{NT_c} - \frac{2\pi l}{LT_c}) e^{j2\pi l i'/L} \\
&= \frac{N_1}{LT_c} \sum_{m=0}^{L-1} x_{mN_1+n} \sum_l \mathbf{H}_{tot}(\frac{2\pi n}{NT_c} - \frac{2\pi l}{LT_c}) \sum_{i'=0}^{L-1} e^{j2\pi(l+m)i'/L} \\
&= \frac{N_1}{T_c} \sum_{m=0}^{L-1} x_{mN_1+n} \mathbf{H}_{tot}(\frac{2\pi n}{NT_c} + \frac{2\pi m}{LT_c}) \\
&= \frac{N_1}{T_c} \sum_{m=0}^{L-1} x_{mN_1+n} \mathbf{H}_{tot}(\frac{2\pi}{NT_c} [mN_1+n]), \quad n = 0, \dots, N_1-1 \\
&= N_1 \sum_{m=0}^{L-1} x_{mN_1+n} \mathbf{H}_{tot}[mN_1+n], \quad n = 0, \dots, N_1-1
\end{aligned}$$

であり、ここで、【数20】

$$\mathbf{H}_{tot}[n] = \frac{1}{T_c} \mathbf{H}_{tot}(\frac{2\pi}{NT_c} n), \text{ for } 0 \leq n < N$$

である。

【0110】 (q_n と x_n との関係) 図7に示すように、【数21】

$$\bar{\mathbf{H}}_{tot}[n]$$

は、通過帯域フィルタであり、 $[k(N/2L), (k+1)(N/2L)]$ と $[(2L-k-1)(N/2L), (2L-k)(N/2L)]$ とのインタバルだけにおいてゼロ以外であり、ここで、 $0 \leq k < L$ の時、 $0 \leq n < (N/L)$ に関して、【数22】

$$I_{tot}[m(N/L) + n]$$

は、ゼロ以外である m の可能な値は下記の通りである。

【0111】(偶数 k) k が、偶数の時、 $m = k/2$ および $0 \leq n < (N/2L)$ であり、【数23】

$$I_{tot}[m(N/L) + n]$$

はインタバル $[k(N/2L), (k+1)(N/2L)]$ に対してゼロ以外となり、また、 $m = (L-k)/2$ および $0 \leq n < (N/2L)$ である時、【数24】

$$I_{tot}[m(N/L) + n]$$

は、インタバル $[(2L-k-1)(N/2L), (2L-k)(N/2L)]$ に対してゼロ以外となる。

【0112】(奇数 k) k が、奇数の時、 $m = (k-1)/2$ および $0 \leq n < (N/2L)$ であり、【数25】

$$I_{tot}[m(N/L) + n]$$

は、インタバル $[k(N/2L), (k+1)(N/2L)]$ に対してゼロ以外となり、 $m = L - (k-1)/2$ および $0 \leq n < (N/2L)$ である時、【数26】

$$I_{tot}[m(N/L) + n]$$

は、インタバル $[(2L-k-1)(N/2L), (2L-k)(N/2L)]$ に対してゼロ以外となる。

【0113】上述した説明は、 $L=3$ の場合の図7に示されている。

【0114】本発明において使用することができる他の変形例において、下流側の送信器における受信信号の帯域幅を限定することにより得られるものと同様の利点が、同様に送信器の上流側のデータ送信帯域を任意に限定することによっても得ることができる。換言すれば、ADSL標準器には、上流側の方向に31チャンネルが設けられるが、多くの用途においてはこの量の帯域幅を必要としない。また、DMT変調信号処理と関連した拘束と、必要条件と、コストと、DAC330を、使用できる31のサブチャンネルのサブセットのみを送信することによりかなり減少させることができる。上流側のサブチャンネル S/N 比に関する情報は、一般に上流側の送信器により決定されなければならないことを除いて、適当なサブチャンネルの決定は、上述したのと本質的に同じ方法でなされ、それから下流側の送信器にフィードバックされる。時間を節約してオーバーヘッドの複雑さを除くために、また、この周波数帯域のサブチャンネルにおけるビット容量のバリエーションが少ないと仮定すると、実際の性能特性を無視して固定されたサブセットのサブチャンネルを単に選択することも一つのアプローチである。ソフトウェアのモデム環境において、コントロール/アプリケーションインタフェース500により、ユーザは選択可能に制御して、限定されたサブチャンネル上で限定された上流側の送信を達成することができる。さらに、ADSL標準器に関して、この点に関する必要条件は、有効なデータリンクを達成するために、上流側のパイロットトーンをまた送信しなければならないことだけである。任意に限定される「上流側」の送信は、図8および図9、図10に関してすでに説明した回路による種々の方法において達成することができる。このような実施例の詳細は、本発明の説明により当業者にとって明らかなものであろう。

【0115】ADSLの好適実施例に関して、本発明が説明されているが、本発明の教示から逸脱することなく、このような実施例の多くの変形および修正が可能であることは、当業者にとって明らかなことであらう。例えば、本発明は、いかなるxDSLまたは高速マルチキャリア用途の環境においても有益に使用されることができることは明らかである。詳細に上述した説明のものよりまさっている他の型のVLSIおよびULSIのコンポーネントを、本発明とともに適当に使用することができる。従って、下記の請求項により定義されているような本発明の範囲および精神の範囲内で、このような全ての変形および修正を行うことができる。

【0116】

【発明の効果】上記のように、本発明によれば、高速で、ADSLに使用されるような速度適合プロトコルと完全な互換性を有しているが、より単純なアナログフロントエンド送受信回路で実施可能であり、コストと複雑さを減じた通信システムを提供することが出来る。また、高速で、ADSLに使用されるような速度適合プロトコルと完全な互換性を有しているが、より単純なデジタル信号処理回路で実施可能であり、コストと複雑さを減じた通信システムを提供することが出来る。さらに、高速で、演算及びハードウェアに対する要求を減少させることが出来る高速データリンクを形成するために、限られた数のサブチャンネルのデータキャリアのみの変調によって、チャンネルの使用可能な帯域幅のうち所望の部分内のデータを転送する方法を提供することが出来る。

【0117】また、フロントエンドADCに必要なダイナミックレンジを減少させ、量子化誤差を最小化するために、サブチャンネル信号のピーク間誤差の小さい通信システムを提供することが出来る。またさらに、チャンネルの使用する全帯域幅までの転送チャンネルにおいて使用可能な全帯域幅のいかなる割合においてもシステムの動作範囲を構築できるように、容易に制御、拡張可能なデータのスループットを有する高速通信システムを提供することが出来る。将来的な互換性及び拡張性に柔軟性があり、システムのユーザ側の負担を最小化することが出来る高速通信システムを提供することが出来る。

【0118】ADSLに使用される高速プロトコルに対して互換性を有し、高速音声帯域モデムの制御に使用可能なプロトコルを含む既存の高レベルデータプロトコルのサポートに容易に適合可能なシステムを提供することが出来る。性能レベルをこうしたシステムにおいて使用可能な処理能力に基づいて自己校正可能である高速通信システムを提供することが出来る。従来のコンピュータのハードウェア、ソフトウェア及びオペレーティングシステムを用いるシステムの性能パラメータをユーザが設定出来るようにした高速通信システムを提供することが出来る。ホストシステムと将来的に互換性及び拡張性機能を有する高速通信システム間のインターフェースを提供することが出来る。さらに、POTSチャンネル上の従来の音声データのトラヒックの同時制御及び分離されたサブチャンネル上の上流側／下流側の通信を可能とするシステムを提供することが出来る。

図の説明

【図面の簡単な説明】

【図1】周波数分割多重送信方式(FDM)図に基づいたチャンネルにおける上流側および下流側データ用のADSL/DMT帯域幅割付の図である。

【図2】サブバンドフィルタと、本発明によるアナログフロントエンド(AFE)に使用可能なデジタル変換器に対するアナログとの関係を示す図である。

【図3】サブチャンネル変調を使用する従来の加入者線路のS/N比カーブの図である。

【図4】DMTに基づいた本発明による潜在的な物的前提をさらに説明する制御ブロック図である。

【図5】DMTに基づいた本発明による潜在的な物的前提をさらに説明する制御ブロック図である。

【図6】DMTに基づいた本発明による潜在的な物的前提をさらに説明する数学的モデル化の図である。

【図7】DMTに基づいた本発明による潜在的な物的前提をさらに説明する数学的モデル化の図である。

【図8】ADSL環境に使用可能である、本発明を使用する通信システムの一般的な実施例のブロック線図である。

【図9】ADSL環境に使用可能である、本発明を使用する通信システムの専用ハードウェアの実施例のブロック線図である。

【図10】ADSL環境に使用可能である、本発明を使用する通信システムの組み合わされたハードウェアとソフトウェアに基づいた実施例のブロック線図である。

【図11】図9及び図10に示した組み合わされた実施例に使用される、データポンプデバイスドライバの一般的な構造を示すブロック線図である。

【図12】図9及び図10に示した組み合わされた実施例に使用される、制御および応用インターフェースの一般的な操作を示すフローチャートである。

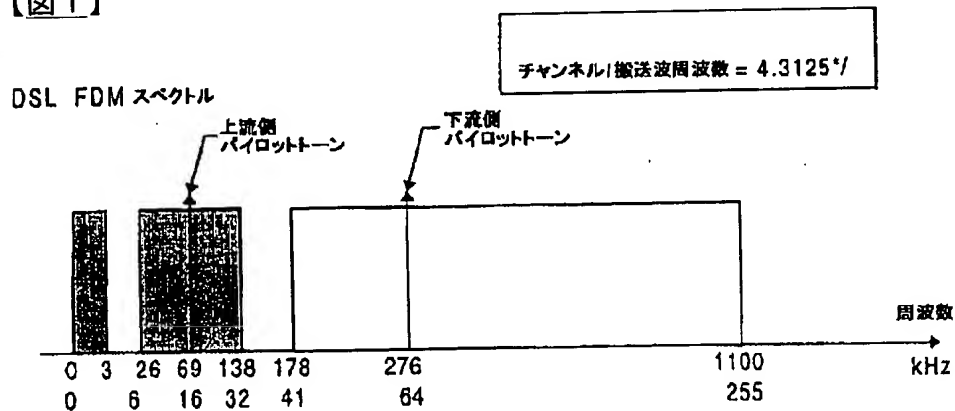
【図13】ユーザが、いかに、付加的なAFEステージを加えることにより処理能力を広げて、チャンネルにおいてより大きな割合の有効な帯域幅を処理できるかを示す、ADSL環境に使用可能である、本発明を使用する通信システムの実施例のブロック線図である。

【符号の説明】

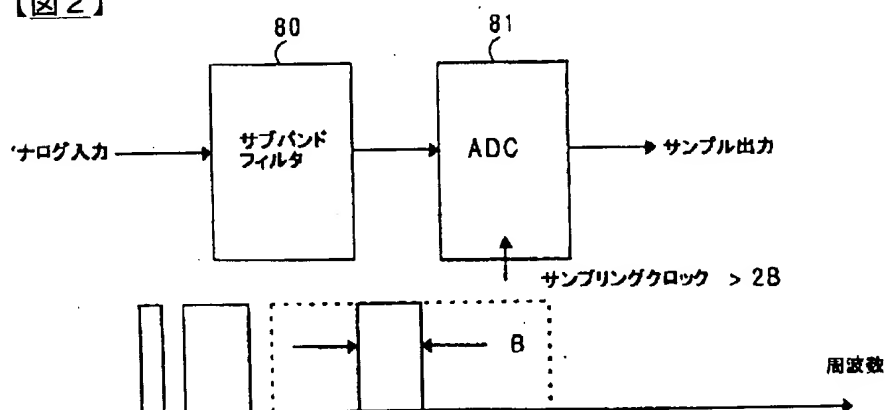
100 チャンネル
 200, 300 ADSL 受信器
 210, 310 スプリッタ
 220, 320 ハイブリッド回路
 230, 330 D/A 変換器
 250, 350, 450 DMT 送信器コア
 260, 360, 460 DMT 受信器コア
 280, 380 通過帯域フィルタおよび A/D 変換器
 290, 390 リング検出論理回路
 295 コントロールインタフェース
 385 バス・インタフェース
 396 モデムカード
 400 デバイスドライバ
 415 割り込みサービスルーチン
 455 フレーミング制御
 470, 475 シリアルポート
 480 オペレーティングシステム

図面

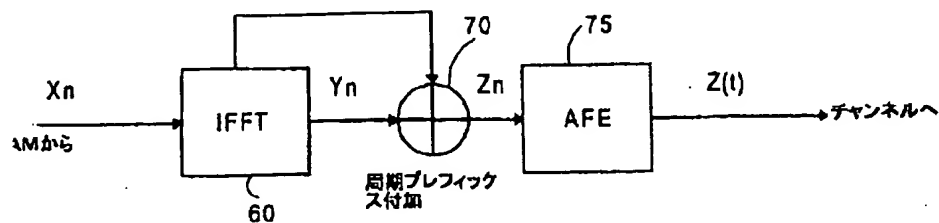
【図 1】



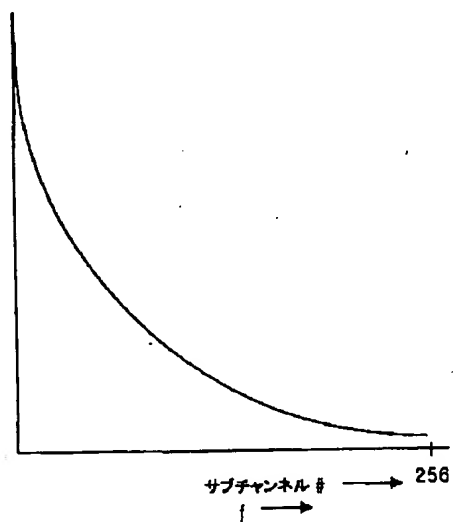
【図 2】



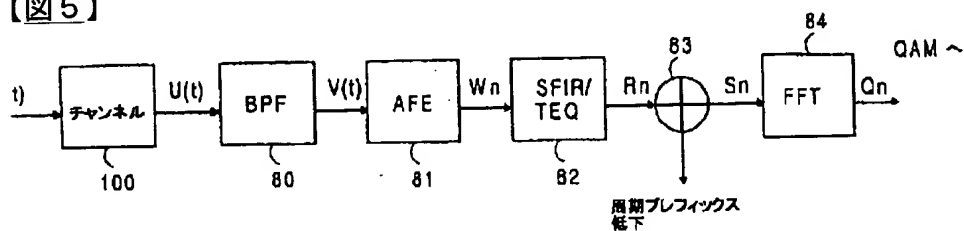
【図 4】



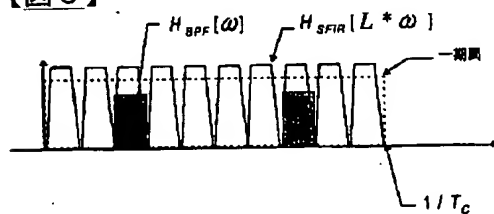
【図 3】



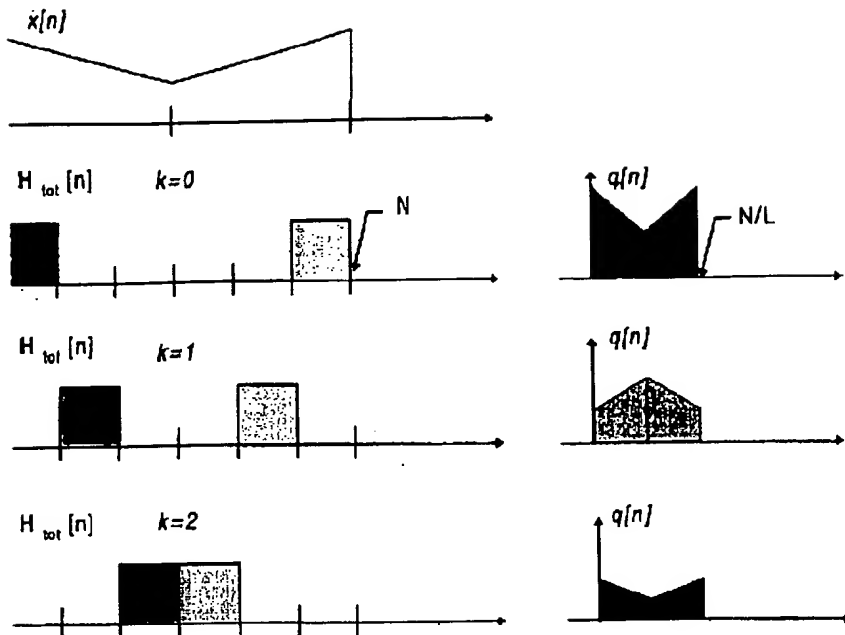
【図 5】



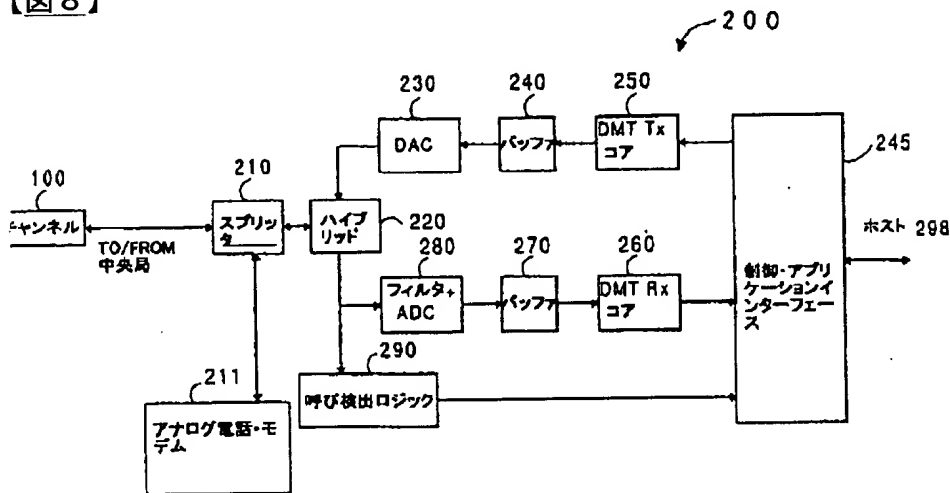
【図 6】



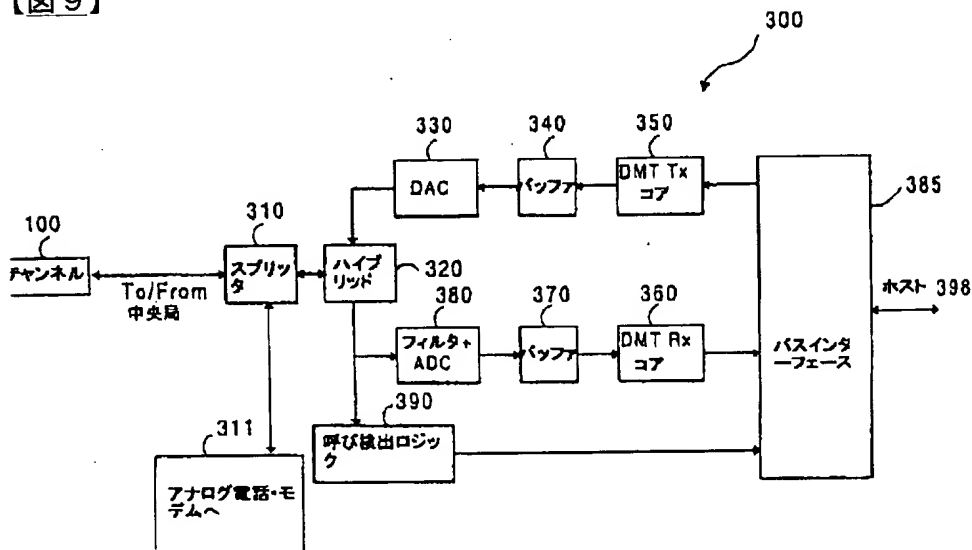
【図 7】



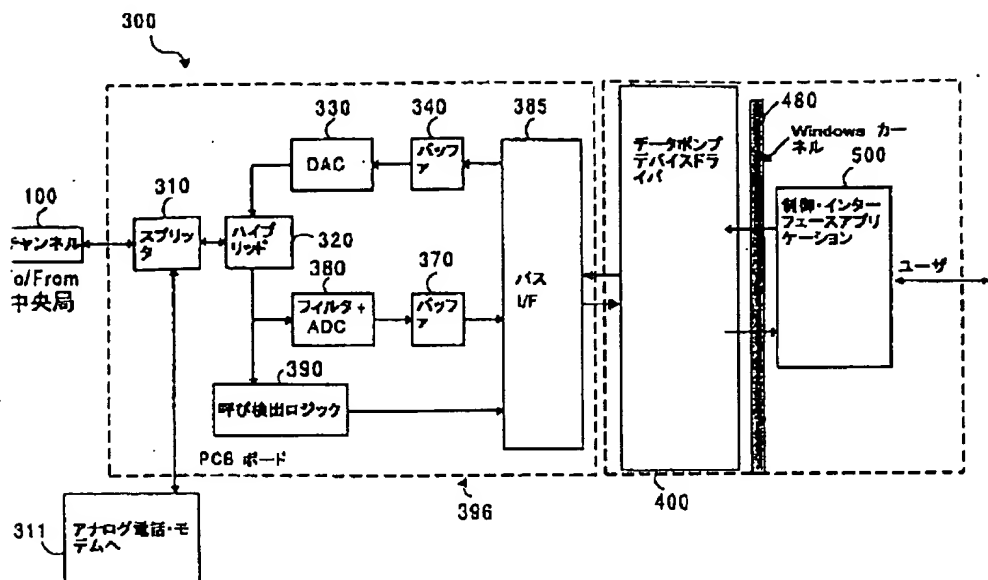
【図 8】



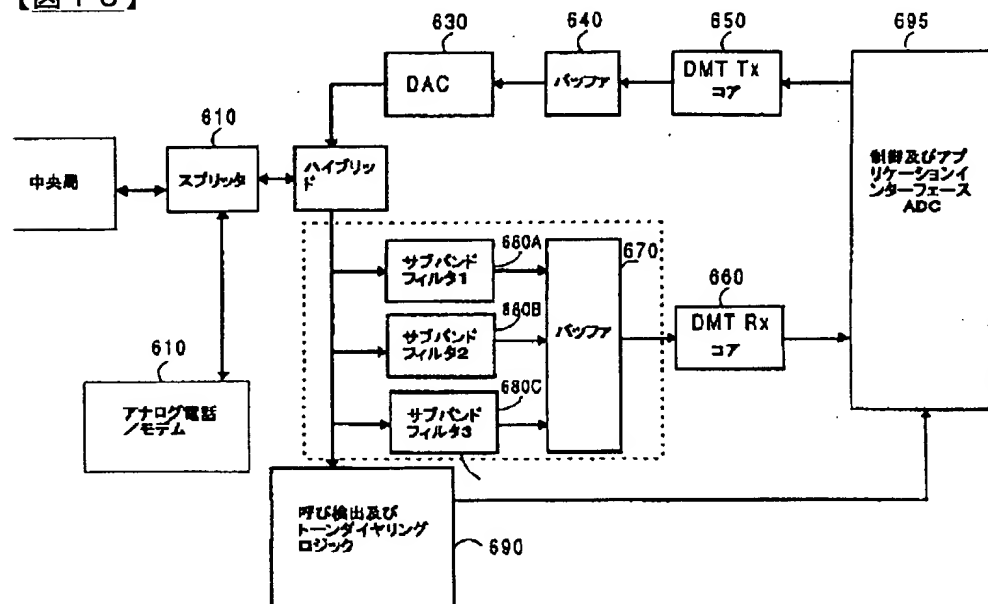
【図 9】



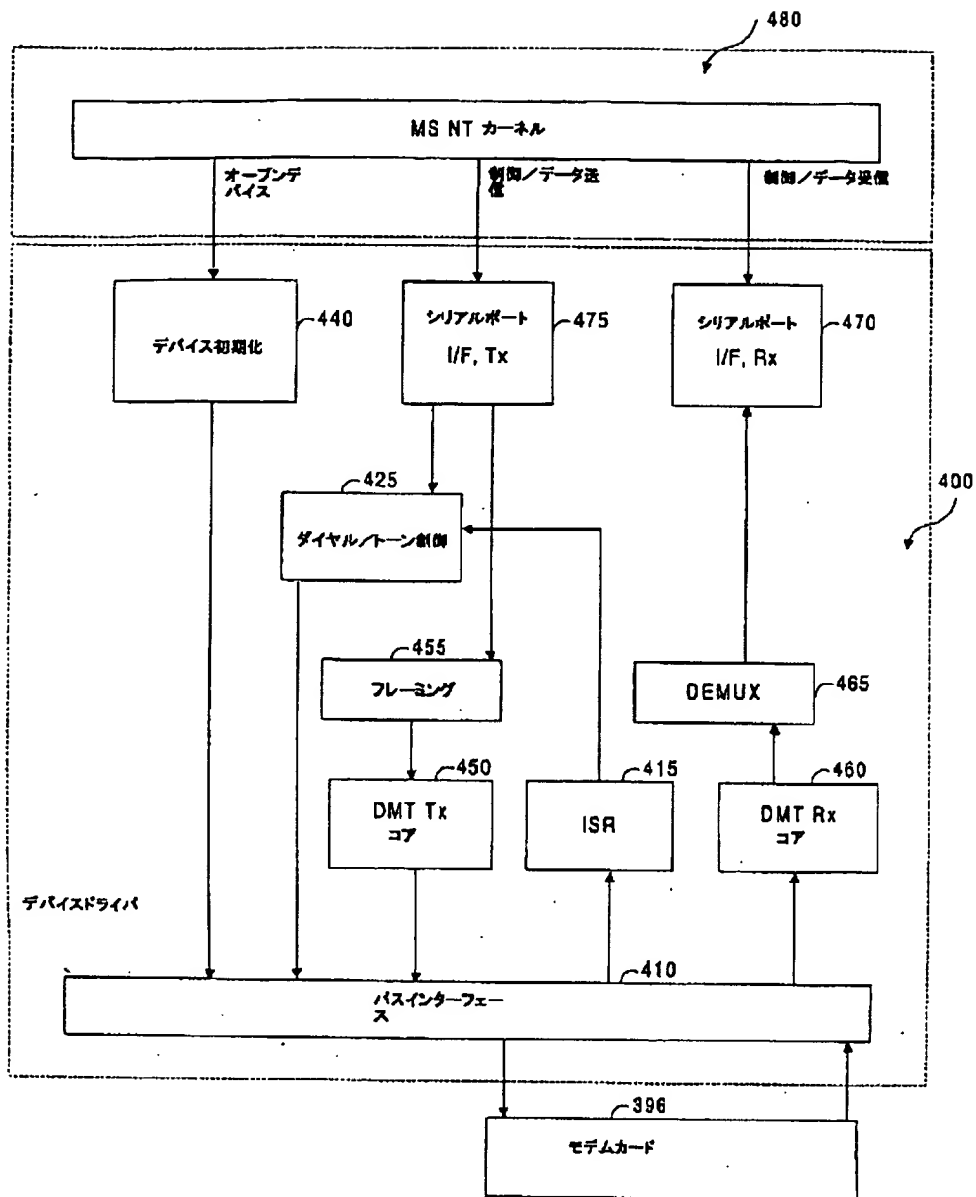
【図 10】



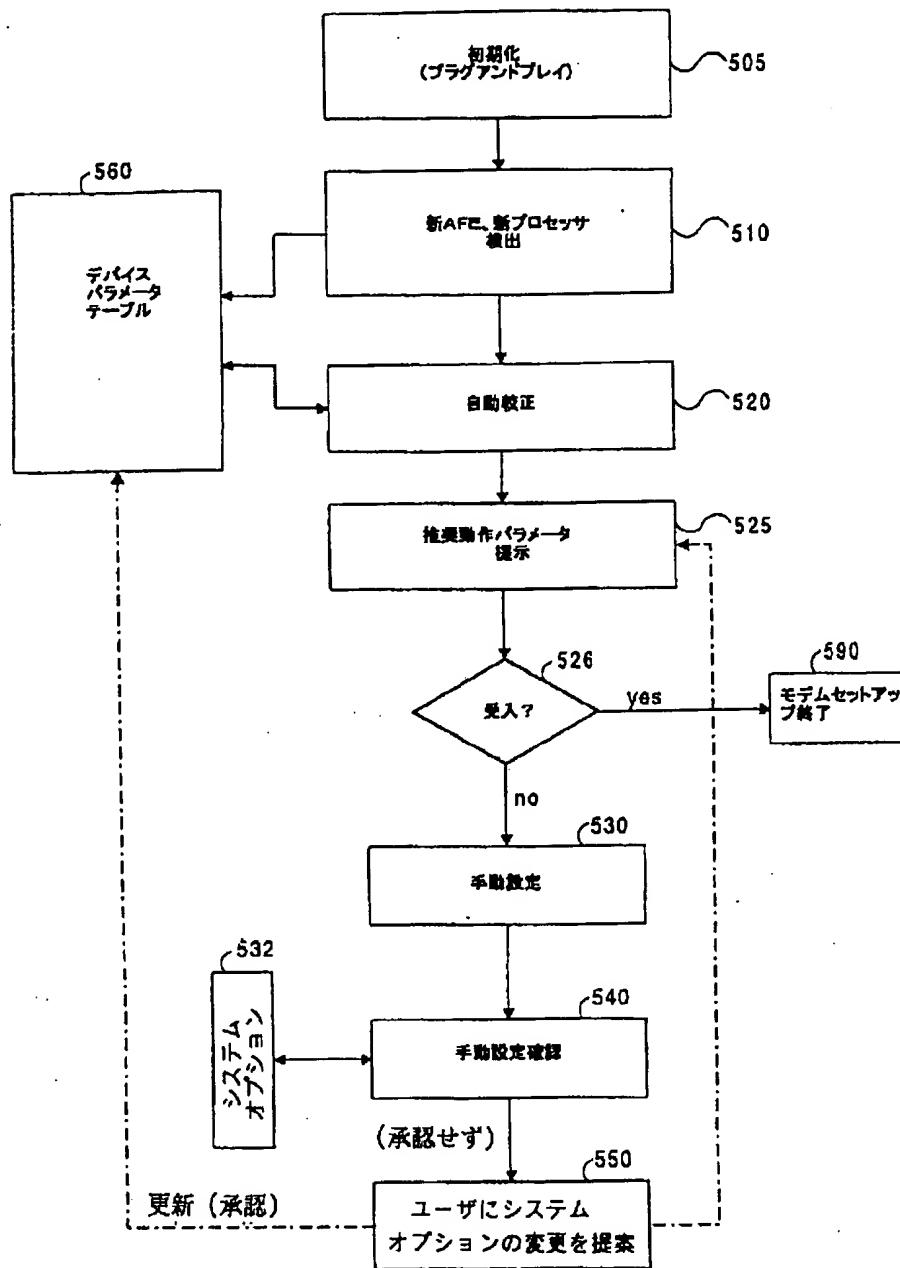
【图 13】



【図 1-1】



【図 12】



VELOCITY SUITABLE SOFTWARE MODEM PROVIDED WITH FUTURISTIC COMPATIBILITY AND FUNCTIONAL EXPANDIBILITY AND OPERATING METHOD THEREFOR

Patent Number: JP2000049885
 Publication date: 2000-02-18
 Inventor(s): LIU YOUNG WAY;; LIU MING-KANG;; CHEN STEVE;; GROSS JOHN NICHOLAS
 Applicant(s): INTEGRATED TELECOM EXPRESS
 Requested Patent: ☒ JP2000049885
 Application Number: JP19980197439 19980713
 Priority Number(s):
 IPC Classification: H04L29/02; H04J11/00; H04J11/00; H04M11/00
 EC Classification:
 Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a communication system, which reduces costs and complexity, executable for a simple analog front end transmission/reception circuit by providing a characteristic detection routine for communication equipment and a host processor inside a host processing unit and a correction routine for determining a usable data rate based on the evaluation of signal throughput of the host processor.

SOLUTION: A control/application interface 245 of an ADSL receiver 200 receives system configuration information from a host 298 and checks the S/N and bit capacity of a sub channel operated by a DMTRx core 260 and by considering the number of times of target search, sub channels of the number of channels equal to or less than the number of all the usable sub channels are selected and transmitted through the DMTTx core 250 - splitter 210 to an upstream side transmitter. Thus, the upstream side transmitter is automatically set so as to use only the sub channel predetermined by the ADSL receiver 200.

Data supplied from the esp@cenet database - I2